

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of

Hyeong-Seob Kim et al.

Serial No.: [NEW] : Mail Stop Patent Application

Filed: September 22, 2003 : Attorney Docket No. SEC.1064

For: WAFER LEVEL PACKAGE, MULTI-PACKAGE STACK, AND METHOD OF MANUFACTURING THE SAME

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:

Appl. No. 10-2003-0018446 filed March 25, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

## VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: September 22, 2003

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

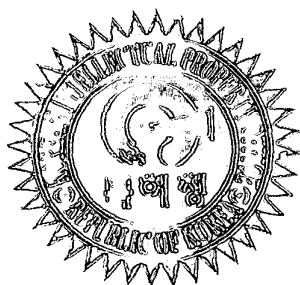
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0018446  
Application Number

출원년월일 : 2003년 03월 25일  
Date of Application MAR 25, 2003

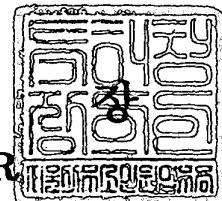
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003년 04월 22일



특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.25
【국제특허분류】	H01L 23/28
【발명의 명칭】	웨이퍼 레벨 칩 스케일 패키지, 그를 적층한 적층 패키지 및 그 제조 방법
【발명의 영문명칭】	WL CSP, stack package stacking the same and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	김형섭
【성명의 영문표기】	KIM, Hyeong Seob
【주민등록번호】	670412-1528523
【우편번호】	330-771
【주소】	충청남도 천안시 신방동 897번지 두레현대아파트 202동 1003호
【국적】	KR
【발명자】	
【성명의 국문표기】	정태경
【성명의 영문표기】	CHUNG, Tae Gyeong
【주민등록번호】	631005-1921815
【우편번호】	440-301

**【주소】** 경기도 수원시 장안구 정자1동 대림/진흥아파트 821동  
1803호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
윤동열 (인) 대리인  
이선희 (인)  
**【수수료】**  

【기본출원료】	20	면	29,000 원
【가산출원료】	49	면	49,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	55	항	1,869,000 원
【합계】	1,947,000 원		

**【첨부서류】**  
1. 요약서·명세서(도면)\_1통 2. 위임장[1999년 1월 21일 포  
괄위임등록, 1999년 3월 15일자 복대리 인선임]\_1통

**【요약서】****【요약】**

본 발명은 외부기기의 인쇄회로기판에 대한 양호한 솔더 접합성을 확보하고, 반도체 칩의 두께를 최소화하면서 패키지의 강도를 유지할 수 있는 웨이퍼 레벨 칩 스케일 패키지, 그를 적층한 적층 패키지 및 그 제조 방법에 관한 것이다. 즉, 웨이퍼의 두께를 박형화하기 위해서 웨이퍼의 배면을 연마하고, 웨이퍼의 박형화에 따른 강도 보강과 반도체 칩의 칩 패드와의 접합 또는 재배치를 위한 배선기판을 반도체 칩의 배면에 부착하고, 반도체 칩의 칩 패드를 관통하여 형성된 비아에 충전된 플러그를 통하여 반도체 칩의 칩 패드와 배선기판이 전기적으로 연결된 웨이퍼 레벨 칩 스케일 패키지, 그를 3차원으로 적층한 적층 패키지 및 그 제조 방법을 제공한다. 이때 칩 스케일 패키지들 사이의 적층은 상대적으로 아래쪽에 위치하는 칩 스케일 패키지의 상부면의 플러그에 상대적으로 위쪽에 위치하는 칩 스케일 패키지의 배선기판이 접합되어 3차원으로 적층된다. 그리고 박형화된 반도체 칩의 칩 패드에 형성된 비아에 플러그가 충전되기 때문에, 플러그 내의 보이드 발생을 억제할 수 있는 장점도 있다.

**【대표도】**

도 4

**【색인어】**

웨이퍼, 배선기판, 비아, 플러그, 박형

**【명세서】****【발명의 명칭】**

웨이퍼 레벨 칩 스케일 패키지, 그를 적층한 적층 패키지 및 그 제조 방법{WL CSP, stack package stacking the same and manufacturing method thereof}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는 평면도이다.

도 2는 도 1의 2-2선 단면도이다.

도 3은 종래기술에 따른 웨이퍼 레벨 칩 스케일 패키지 4개가 적층된 적층 패키지를 보여주는 단면도이다.

도 4는 본 발명의 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는 단면도이다.

도 5 내지 도 16은 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법에 따른 각 단계들을 보여주는 도면들로서,

도 5는 본 발명의 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지 제조에 사용되는 반도체 웨이퍼의 개략적인 평면도이고,

도 6은 도 5의 웨이퍼에 제조가 완료된 반도체 칩의 일부분을 확대하여 보여주는 평면도이고,

도 7은 도 6의 7-7선 단면도이고,

도 8은 본 발명에 따른 칩 스케일 패키지 제조에 사용되는 배선기판 원판의 개략적인 평면도이고,

도 9는 도 8의 배선기판의 일부분을 확대하여 보여주는 평면도이고,

도 10은 도 9의 10-10선 단면도로서, 배선기판에 금속 범프가 형성된 상태를 보여주는 단면도이고,

도 11은 반도체 소자의 칩 패드에 소정의 깊이로 비아를 형성하는 단계를 보여주는 단면도이고,

단면도이고,

도 12a 내지 도 12e는 비아에 절연막을 형성하는 단계를 보여주는 단면도이고,

도 13은 비아가 개방되도록 웨이퍼의 배면을 연마하는 단계를 보여주는 단면도들이

고,

도 14는 배선기판 원판에 웨이퍼를 부착하는 단계를 보여주는 단면도이고,

도 15는 연결 범프를 형성하는 단계를 보여주는 단면도이고,

도 16은 개별 칩 스케일 패키지로 분리하는 단계를 보여주는 단면도이다.

도 17은 제 1 실시예에 따른 칩 스케일 패키지 4개를 적층하여 형성한 본 발명의 제 1 실시예에 따른 적층 패키지를 보여주는 단면도이다.

도 18은 본 발명의 제 2 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는 단면도이다.

도 19 내지 도 21은 제 2 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방

법에 따른 각 단계들을 보여주는 도면들로서,

도 19는 도 15에 따른 연결 범프를 형성한 이후에 수지 봉합부를 형성하는 단계를 보여주는 단면도이고,

도 20은 배선기판에 접속 범프를 형성하는 단계를 보여주는 단면도이고,

1020030018446

도 21은 개별 칩 스케일 패키지로 분리하는 단계를 보여주는 단면도이다.  
도 22는 제 2 실시예에 따른 칩 스케일 패키지와 제 1 실시예에 따른 칩 스케일 패  
키지 3개가 적층된 본 발명의 제 2 실시예에 따른 적층 패키지를 보여주는 단면도이다.  
도 23은 본 발명의 제 3 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는  
단면도이다.

도 24는 제 3 실시예에 따른 칩 스케일 패키지 4개를 적층하여 형성한 본 발명의

제 3 실시예에 따른 적층 패키지를 보여주는 단면도이다.

도 25는 본 발명의 제 4 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는  
단면도이다.

도 26은 제 4 실시예에 따른 칩 스케일 패키지와 제 3 실시예에 따른 칩 스케일 패

키지 3개가 적층된 본 발명의 제 4 실시예에 따른 적층 패키지를 보여주는 단면도이다.

도 27은 본 발명의 제 5 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는  
단면도이다.

도 28은 제 5 실시예에 따른 칩 스케일 패키지 4개를 적층하여 형성한 본 발명의

제 5 실시예에 따른 적층 패키지를 보여주는 단면도이다.

도 29는 본 발명의 제 6 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는  
단면도이다.

도 30은 제 6 실시예에 따른 칩 스케일 패키지와 제 5 실시예에 따른 칩 스케일 패

키지 3개가 적층된 본 발명의 제 6 실시예에 따른 적층 패키지를 보여주는 단면도이다.

키지 3개가 적층된 본 발명의 제 6 실시예에 따른 적층 패키지를 보여주는 단면도이다.

1020030018446

도 31은 본 발명의 제 1 실시예에 따른 적층 패키지 4개가 재배선기판에 적층된 본 발명의 제 7 실시예에 따른 적층 패키지를 보여주는 단면도이다.

\* 도면의 주요 부분에 대한 설명 \*

30, 130 : 웨이퍼 31, 131, 231 : 칩 패드

32 : 실리콘 기판 33 : 불활성층

34, 134, 234, 334, 434, 534 : 반도체 칩

36 : 칩 절단 영역 37, 237 : 비아

38 : 절연막 40, 140 : 배선기판 원판

42, 642 : 기판 몸체

44, 144, 244, 344, 444, 544 : 배선기판

45, 245, 445, 645 : 기판 패드 46, 146 : 기판 절단 영역

47, 147, 247, 347, 447, 547, 647 : 접속 패드

50, 150, 250, 350, 450, 550, 650 : 플러그

52, 152 : 금속 범프 54, 154 : 연결 범프

72, 172, 272 : 절연 접착제 76 : 연마기

80, 180, 280 : 칩 스케일 패키지

60, 160, 260, 360, 460, 560, 660 : 접속 범프

90, 190, 290, 390, 490, 590, 690 : 적층 패키지

174, 374, 574 : 수지 봉합부 178 : 절단기

452 : 이방성 전도 필름 644 : 재배선기판

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<52> 본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 웨이퍼에 배선기판을 부착하여 제조된 웨이퍼 레벨 칩 스케일 패키지, 그를 적층한 적층 패키지 및 그 제조 방법에 관한 것이다.

<53> 오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 고성능화되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다. 칩 스케일 패키지(또는 칩 사이즈 패키지)는 근간에 개발되어 제안되고 있는 새로운 패키지 유형으로서, 전형적인 플라스틱 패키지에 비하여 많은 장점들을 가지고 있다. 칩 스케일 패키지의 가장 큰 장점은 바로 패키지의 크기이다. JEDEC(Joint Electron Device Engineering Council), EIAJ(Electronic Industry Association of Japan)와 같은 국제 반도체 협회의 정의에 따르면, 칩 스케일 패키지는 칩 크기의 1.2배 이내의 패키지 크기를 가진다.

<54> 칩 스케일 패키지는 디지털 캠코더, 휴대 전화기, 노트북 컴퓨터, 메모리 카드 등과 같이 소형화, 이동성이 요구되는 제품들에 주로 사용되며, DSP(digital signal processor), ASIC(application specific integrated circuit), 마이크로 컨트롤러(micro controller) 등과 같은 반도체 소자들이 칩 스케일 패키지 안에 실장된다. 또한,

1020030018446

DRAM(dynamic random access memory), 플래쉬 메모리(flash memory) 등과 같은 메모리 소자를 실장한 칩 스케일 패키지의 사용도 점점 확산 일로에 있다. 현재는 전 세계적으로 약 50개 이상의 각종 칩 스케일 패키지들이 개발되거나 생산되고 있는 실정이다.

<55> 그러나, 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 아직 까지는 기존의 플라스틱 패키지에 비하여 여러모로 단점들을 안고 있는 것도 사실이다. 그 중의 하나는 신뢰성의 확보가 어렵다는 점이며, 다른 하나는 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비 및 소요되는 원부자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 점이다.

<56> 이와 같은 문제점을 해결할 수 있는 방안으로 웨이퍼 레벨(wafer level)에서의 칩 스케일 패키지가 대두되고 있다. 즉, 통상적인 웨이퍼 제조 공정을 통하여 반도체 웨이퍼(semiconductor wafer)가 제조되면 웨이퍼로부터 개별 칩을 분리하여 패키지 조립 공정을 거치게 된다. 패키지 조립 공정은 웨이퍼 제조 공정과는 다른 설비와 원부자재를 필요로 하는 전혀 별개의 공정이지만, 웨이퍼 레벨에서, 즉 웨이퍼로부터 개별 칩을 분리하지 않은 상태에서 완전한 제품으로서의 패키지를 제조할 수 있다. 그리고 패키지를 그대로 이용할 수 있다. 이는 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화 수 있음을 의미하기도 한다.

<57> 도 1은 종래기술에 따른 웨이퍼 레벨 칩 스케일 패키지(20)를 보여주는 평면도이다. 도 2는 도 1의 2-2선 단면도이다. 한편 도 1에서는 솔더 볼(28)이 형성된 볼 패드(23)를 도시하기 위하여 솔더 볼의 도시를 생략하였다.

1020030018446

<58> 도 1 및 도 2를 참조하면, 칩 스케일 패키지(20)는 웨이퍼 레벨에서 제조되는 패키지로서, 실리콘 기판(12; silicon substrate)의 상부면의 가장자리 둘레에 형성된 복수 개의 칩 패드(11; chip pad)를 갖는 반도체 칩(14; semiconductor chip)과, 칩 패드(11)의 재배열을 위하여 실리콘 기판(12)의 중심 부분에 형성된 금속 배선층(21; metal trace layer) 및 금속 배선층(21)의 말단에 형성된 볼 패드(23; ball pad)에 솔더 볼 (28; solder ball)이 형성된 구조를 갖는다.

<59> 반도체 칩(14)은, 실리콘 기판(12)의 상부면에 집적회로와 전기적으로 연결된 복수 개의 칩 패드(11)와, 실리콘 기판(12)의 내부의 집적회로들과 칩 패드(11)들을 보호하기 위한 불활성층(13; passivation layer)으로 구성된다. 칩 패드(11)는 보통 알루미늄 (Al)으로 되어 있으며, 불활성층(13)은 산화막, 질화막 또는 그 조합으로 되어 있다.

<60> (A1)으로 되어 있으며, 불활성층(13) 위에 칩 패드(11)가 노출되도록 절연층(22; dielectric layer; 이하 제 1 절연층이라 한다)이 소정의 두께로 형성된다. 예컨대 제 1 절연층(22)은 폴리이미드(polyimide)층이다.

<61> 금속 배선층(21)이 칩 패드(11)와 연결되어 제 1 절연층(22) 상에 형성되며, 실리콘 기판(12)의 중심 방향으로 형성된다. 금속 배선층(21)의 말단에 소정의 크기의 솔더 볼(28)이 형성될 수 있는 원형의 볼 패드(23)를 한정한다.

<62> 다시 절연층(24; 이하 제 2 절연층이라 한다)이 볼 패드(23)를 제외한 실리콘 기판(12)의 전면에 소정의 두께로 형성된다. 즉 제 2 절연층(24)은 볼 패드(23)를 제외한 금속 배선층(21)과 앞서 형성된 불활성층(13)과 제 1 절연층(22)을 모두 덮게 된다.

1020030018446

<63> 그리고 볼 패드(23)에 구형의 솔더 볼(28)을 올려놓은 후, 열을 이용한 리플로우 솔더 공정을 통해 솔더 볼(28)을 볼 패드(23)에 접합된다. 물론 금속 배선층(21)이 형성되는 칩 패드(11)와 제 1 절연층(22) 상에는 금속 기저층(25)이 형성되어 있다.

<64> 그런데, 웨이퍼 레벨에서 제조된 종래 기술에 따른 칩 스케일 패키지(20)는 솔더 접합성이 떨어지는 문제점을 안고 있다. 솔더 접합성이 떨어지는 이유는, 칩 스케일 패키지를 구성하는 반도체 칩과, 칩 스케일 패키지가 솔더 볼을 매개로 접합되는 외부기기의 인쇄회로기판 사이의 열팽창계수의 차이에 기인한다. 즉, 칩 스케일 패키지가 인쇄회로기판에 실장된 상태에서 외부기기의 사용시 발생되는 열에 의한 변형이 칩 스케일 패키지에 비해서 인쇄회로기판에서 더 크게 발생되기 때문에, 인쇄회로기판의 열 변형에 따른 팽창과 수축하는 과정에서 칩 스케일 패키지와 인쇄회로기판을 매개하는 솔더 볼에 따른 스트레스가 가중되어 솔더 접합성이 떨어지게 된다.

<65> 또한 상기와 같은 종래의 웨이퍼 레벨에서 제조된 칩 스케일 패키지들은 반도체 칩의 활성면에 솔더 볼이 형성된 구조를 갖기 때문에, 칩 스케일 패키지들을 적층하여 적층 패키지로 바로 구현할 수 없었다.

<66> 물론 웨이퍼 레벨에서 제조된 다른 구조의 종래의 칩 스케일 패키지들을 3차원으로 적층한 적층 패키지에 대해서 대한민국공개특허공보 제6877호(2001.01.26)에 개시되어 있다. 즉, 도 3에 도시된 바와 같이, 적층 패키지(10)는 웨이퍼 레벨에서 제조된 칩 스케일 패키지(1) 4개를 적층하여 구현하게 된다. 이때 칩 스케일 패키지(10)는 웨이퍼 상태의 반도체 칩의 칩 패드에 비아를 형성하고, 비아를 배선 플러그(2)로 충전시킨 다음 웨이퍼 절단 공정을 통하여 개별 칩 스케일 패키지(1)로 분리된다. 적층시 마주보는 칩 스케일 패키지의 배선 플러그(2)에 볼 범프(3)를 개재하여 적층한다. 그리고 적층

패키지(10)의 최하부의 칩스케일 패키지(1a)에 형성된 볼 범프(3a)가 외부접속단자로 사용된다.

<67> 그런데 적층 패키지용 칩 스케일 패키지(10)는 종래의 칩 스케일 패키지와 동일하게 반도체 칩에 바로 볼 범프(3)가 형성된 구조를 갖기 때문에, 외부기기의 인쇄회로기판(4)의 랜드 패턴(5)에 대한 솔더 접합성이 떨어지는 문제점을 그대로 안고 있다.

<68> 더불어 적층 패키지의 두께를 박형화하기 위해서 반도체 칩의 두께를 얇게 형성할 경우, 비아의 형성은 용이한 반면에 칩 스케일 패키지의 강도가 떨어지는 문제점을 안고 있다.

<69> 따라서 칩 스케일 패키지의 강도를 유지할 수 정도로 예컨대, 약  $200\mu\text{m}$  두께로 반도체 칩의 두께를 가져가야 하는데, 이 경우 비아를 형성하기가 쉽지 않다. 또한 비아를 형성하였다 하여도, 반도체 칩의 두께에 대응되게 비아가 깊어지기 때문에, 배선 플러그 형성시 배선 플러그 성분의 충진이 충분히 이루어지지 않아 비아 내에 보이드가 존재할 확률이 높다.

#### 【발명이 이루고자 하는 기술적 과제】

<70> 따라서, 본 발명의 제 1 목적은 외부기기의 인쇄회로기판에 대한 양호한 솔더 접합성을 확보할 수 있도록 하는 데 있다.

<71> 본 발명의 제 2 목적은 반도체 칩의 두께를 최소화하면서 칩 스케일 패키지의 강도를 유지할 수 있도록 하는 데 있다.

<72> 본 발명의 제 3 목적은 반도체 칩 패드에 형성된 비아에 충전되는 플러그 내의 보이드 발생을 억제하는 데 있다.

1020030018446

### 【발명의 구성 및 작용】

<73> 상기 목적을 달성하기 위하여, 본 발명은 웨이퍼 레벨 칩 스케일 패키지로서, 다수

개의 칩 패드가 형성되는 활성면과, 상기 활성면에 반대되는 배면을 갖는 반도체 칩으로, 상기 칩 패드를 관통하여 비아가 형성되고, 상기 비아의 내측면에 절연막이 형성된 반도체 칩파; 상기 비아의 내부에 충전되어 상기 칩 패드와 전기적으로 연결하는 상기 반도체 칩 플러그와; 상기 반도체 칩의 배면에 접합되는 배선기판으로, 상부면에 상기 반도체 칩의 배면으로 노출된 상기 플러그와 전기적으로 연결되는 기판 패드가 형성되고, 상기 상부면에 반대되는 하부면에 상기 기판 패드와 전기적으로 연결된 접속 패드가 형성된 배선기판;을 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지를 제공한다.

<74> 본 발명에 따른 플러그는, 기판 패드의 상부면에 소정의 높이로 형성되며, 반도체

칩의 배면을 통하여 반도체 칩의 비아에 삽입되는 금속 범프와, 반도체 칩의 활성면을 통하여 비아에 충전되어 칩 패드와 금속 범프를 전기적으로 연결하는 연결 범프를 포함 한다.

<75> 본 발명에 따른 배선기판으로, 반도체 칩의 비아에 대응되게 접속 구멍이 형성된 절연성의 기판 몸체와, 반도체 칩의 배면과 마주보는 기판 몸체의 상부면에 형성된 배선

패턴으로, 접속 구멍을 덮는 기판 패드를 갖는 배선 패턴을 포함하며, 기판 몸체의 하부 면의 접속 구멍으로 노출된 기판 패드의 면이 접속 패드로 사용하는 배선기판이 사용될 수 있다.

<76> 또는 본 발명에 따른 배선기판으로, 상부면과, 상기 상부면에 반대되는 하부면을 갖는 절연성의 기판 몸체와, 기판 몸체에 형성된 적어도 두 층 이상의 배선 패턴으로,

반도체 칩의 배면과 마주보는 기판 몸체의 상부면에 형성되며 비아에 대응되게 형성된

기판 패드를 갖는 상부 배선 패턴과, 기판 몸체의 하부면에 형성되며 기판 패드와 전기적으로 연결된 접속 패드를 갖는 하부 배선 패턴을 갖는 배선 패턴을 포함하는 배선기판이 사용될 수 있다.

<77> 본 발명에 따른 칩 스케일 패키지는 연결 범프를 포함한 반도체 칩의 활성면을 보호하기 위하여 형성된 수지 봉합부를 더 포함할 수 있다.

<78> 본 발명에 따른 칩 스케일 패키지는 접속 패드에 형성된 외부접속단자용 접속 범프를 더 포함할 수 있다.

<79> 그리고 본 발명에 따른 칩 스케일 패키지들을 적층할 수 있도록, 접속 패드의 위치는 상기 칩 패드의 위치와 동일한 위치에 형성할 수 있다.

<80> 본 발명은 전술된 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 제공한다. 즉,  
(a) 활성면과, 상기 활성면에 반대되는 배면을 가지며, 상기 활성면에 다수개의 칩 패드가 형성된 반도체 칩들과, 상기 반도체 칩들을 구분하는 웨이퍼 절단 영역이 형성된 웨이퍼와, 웨이퍼에 대응되는 원판 형태로, 상기 웨이퍼에 형성된 반도체 칩에 대응되는 배선기판과, 상기 배선기판을 구분하는 기판 절단 영역이 형성된 배선기판 원판으로, 상기 배선기판에는 상부면에 상기 반도체 칩의 칩 패드에 형성될 비아에 대응되게 기판 패드에 소정의 높이로 금속 범프가 형성되어 있고, 상기 상부면에 반대되는 하부면에 상기 금속 범프와 전기적으로 연결된 접속 패드가 형성된 배선기판 원판을 준비하는 단계와;

(b) 상기 칩 패드에 소정의 깊이로 비아를 형성하는 단계와; (c) 상기 비아의 내벽에 절연막을 형성하는 단계와; (d) 상기 웨이퍼의 배면을 연마하여 상기 비아를 상기 웨이퍼의 배면쪽으로 노출시키는 단계와; (e) 상기 배선기판 원판의 상부면에 절연성 접착제를 개재하여 상기 배선기판의 금속 범프가 상기 반도체 칩의 배면을 통하여 상기 반도

체 칩의 비아에 삽입되게 상기 반도체 칩의 배면을 상기 배선기판 원판의 상부면에 접착하는 단계와; (f) 상기 웨이퍼의 활성면을 통하여 상기 비아에 충전되어 상기 비아에 삽입된 금속 범프와 상기 칩 패드를 전기적으로 연결하는 연결 범프를 형성하는 단계와; (g) 상기 웨이퍼가 접합된 상기 배선기판 원판을 절단하여 개별 칩 스케일 패키지로 분리하는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 제공한다.

<81> 본 발명은 전술된 웨이퍼 레벨 칩 스케일 패키지를 적층한 적층 패키지를 제공한다. 즉, 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 적층된 적층 패키지로서, 상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 연결 범프에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드가 접합되어 적층되고, 최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지를 제공한다. 최상부에 위치하는 칩 스케일 패키지로서 활성면이 수지 봉합부로 봉합된 칩 스케일 패키지를 사용할 수 있다.

<82> 본 발명은 또한, 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 재배선기판에 적층된 적층 패키지로서, 상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되어 적층되고, 상기 재배선기판 위에 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되고, 상기 재배선기판의 하부면에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지를 제공한다.

1020030018446

<83> 본 발명에 따른 재배선 기판은, 상부면에 형성되며, 최하부에 위치하는 칩 스케일 패키지의 연결 범프가 접합되는 기판 패드와, 상부면에 반대되는 하부면에 형성되어 기판 패드와 전기적으로 연결되어 적층된 칩 스케일 패키지들의 칩 패드를 재배치하며, 접속 범프가 접합되는 접속 패드를 포함한다.

<84> 그리고 본 발명은 적층 패키지의 제조 방법도 제공한다. 즉, 웨이퍼 레벨 칩 스케일 패키지들을 적어도 2개 이상 적층한 적층 패키지의 제조 방법으로, 상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 연결 범프에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드를 접합하여 적층하는 단계와; 최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범프를 형성하는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지의 제조 방법을 제공한다.

<85> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<86> 도 4는 본 발명의 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지(80)를 보여주

는 단면도이다. 도 4를 참조하면, 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지(80; 이하, 칩 스케일 패키지라 한다)는 배면 연마 공정을 통하여 박형화된 반도체 칩(34)의 배면(39)에 배선기판(44)이 접합되고, 반도체 칩의 칩 패드(31)를 관통하여 형성된 비아(37)에 충전된 플러그(50)를 통하여 칩 패드(31)와 배선기판(44)이 전기적으로 연결된 구조를 갖는다. 그리고 반도체 칩의 활성면(35)으로 노출된 플러그(50)는 적층 패키지 구현시 다른 칩 스케일 패키지가 접속될 수 있는 연결 단자로서의 역할도 담당한다.

다.

1020030018446

<87> 반도체 칩(34)은 실리콘 기판(32)에 집적회로가 형성된 반도체 소자로서, 다수개의 칩 패드(31)가 형성된 활성면(35)과, 활성면(35)에 반대되는 배면(39)을 갖는다. 칩 패드(31)를 관통하여 비아(37)가 형성되고, 비아(37)의 내측면에 절연막(38)이 형성되어 있다. 플러그(50)는 비아(37)의 내부에 충전되어 반도체 칩의 칩 패드(31)와 전기적으로 연결된다. 그로 연결되며, 반도체 칩의 배면(39)을 통하여 배선기판(44)과 전기적으로 연결된다. 그리고 배선기판(44)은 상부면(41)에 반도체 칩의 배면(39)으로 노출된 플러그(50)와 전기적으로 연결되는 기판 패드(45)가 형성되어 있고, 상부면(41)에 반대되는 하부면(43)에 적으로 연결되는 기판 패드(45)가 형성되어 있다. 즉, 반도체 칩의 기판 패드(45)와 전기적으로 연결된 접속 패드(47)가 한정되어 있다. 반도체 칩(34)의 박형화에 배면(39) 연마를 통하여 반도체 칩(34)의 박형화를 이루고, 반도체 칩(34)의 박형화에 따른 칩 스케일 패키지(80)의 강도 약화는 반도체 칩의 배면(39)에 배선기판(44)을 부착 함으로써 칩 스케일 패키지(80)의 강도를 보강할 수 있다. 더불어 칩 스케일 패키지를 함으로써, 외부기기의 인쇄회로기판에 대한 양호한 솔더 접합성을 확보할 수도 있다.

<88> 좀 더 상세히 설명하면, 반도체 칩(34)은 활성면(35)의 가장자리 둘레에 다수개의 칩 패드(31)가 형성된 에지형(edge type) 반도체 칩으로서, 칩 패드(31)의 가장자리를 포함한 활성면(35)은 불활성층(33)으로 보호된다. 그리고 칩 패드(31) 영역 안에 비아(37)가 형성된다. 예컨대, 칩 패드의 크기가  $100\mu\text{m} \times 100\mu\text{m}$ (가로×세로)인 경우, 중심부(37)가 형성된다. 물론 칩 패드의 크기에 따라서 형분에 직경이 약  $60\mu\text{m}$  정도의 비아를 형성할 수 있다. 어나지 않는 범위에서 적절하게 비아를 형성할 수 있다.

1020030018446

<89> 풀러그(50)는 기판 패드(45)의 상부면에 소정의 높이로 형성되며, 반도체 칩의 배면(39)을 통하여 반도체 칩의 비아(37)에 삽입되는 금속 범프(52)와, 반도체 칩의 활성면(35)을 통하여 비아(37)에 충전되어 칩 패드(31)와 금속 범프(52)를 전기적으로 연결하는 연결 범프(54)를 포함한다. 금속 범프(52)는 연결 범프(54) 내부에 위치할 수 있는 높이로 형성하면 된다. 따라서 본 발명의 제 1 실시예에서는 반도체 칩의 활성면(35)에 근접하게 형성된 예를 개시하였지만, 연결 범프(54)의 외벽을 벗어나지 않는 범프(52)를 반도체 칩의 활성면(35)보다 높게 형성할 수도 있다. 물론 금속 범프(52)를 반도체 칩의 활성면(35)보다 낮게 형성할 수도 있다. 비아(37)에 삽입되는 금속 범프(52) 부분이 비아의 내측면의 절연막(38)을 손상하여 절연막(38) 내측의 실리콘 기판(32)과의 전기적 쇼트 발생을 방지하기 위해서, 비아(37)에 삽입되는 금속 범프(52) 부분은 비아(37) 내측면의 절연막(38)에서 이격되게 정렬 삽입하는 것이 바람직하다. 비아(37)에 삽입된 금속 범프(52) 사이의 공간으로 연결 범프(54)의 성분들이 잘 충진될 수 있도록, 금속 범프(52)는 기판 패드(45)에서 상부로 올라갈수록 작아지는 기둥(stud) 형상을 갖도록 형성하는 것이 바람직하다. 그리고 연결 범프(54)는 다른 칩 스케일 패키지의 접속 패드에 접합될 수 있도록 반구형으로 형성하는 것이 바람직하다.

<90> 배선기판(44)은 반도체 칩의 비아(37)에 대응되게 접속 구멍(49)이 형성된 절연성의 기판 몸체(42)와, 반도체 칩의 배면(39)과 마주보는 기판 몸체의 상부면(41)에 형성되는 배선 패턴으로, 접속 구멍(49)을 덮는 기판 패드(45)를 포함하는 배선 패턴을 포함하며, 기판 몸체의 하부면(43)의 접속 구멍(49)으로 노출된 기판 패드(45)의 면이 접속 패드(47)로 사용된다. 배선기판(44)으로는 테이프 배선기판 또는 인쇄회로기판 등이 사용될 수 있다.

<91> 이때 접속 패드(47) 위치는 제 1 실시예에 따른 칩 스케일 패키지(80)들을 3차원으로 적층할 수 있도록, 칩 스케일 패키지의 칩 패드(31)와 동일한 위치에 형성하였다. 하지만 칩 스케일 패키지를 독립적으로 사용하고자 할 경우, 배선기판의 접속 패드는 반도체 칩의 칩 패드를 재배치할 수 있도록 형성되며, 그 접속 패드에 외부접속단자가 형성된다.

<92> 한편 제 1 실시예에서는 기판 몸체의 상부면(41)에 한 층의 배선패턴이 형성된 예를 개시하였지만, 기판 몸체(42)에 두 층 이상의 배선패턴이 형성된 배선기판을 사용할 수도 있다. 예컨대, 배선기판은 기판 몸체와, 기판 몸체의 상부면과 하부면에 형성된 배선 패턴을 포함한다. 배선 패턴은 반도체 칩의 배면과 마주보는 기판 몸체의 상부면에 형성되며 비아에 대응되게 형성된 기판 패드를 갖는 상부 배선 패턴과, 기판 몸체의 하부면에 형성되며 기판 패드와 전기적으로 연결된 접속 패드를 갖는 하부 배선 패턴을 포함하며, 상부 배선 패턴과 하부 배선 패턴은 기판 몸체를 관통하여 형성된 신호용 비아를 통하여 전기적으로 연결된다.

<93> 그리고 절연성 접착제(72)를 개재하여 반도체 칩의 배면(39)과 배선기판의 상부면(41)을 접착한다. 절연성 접착제(72)로는 에폭시 계열의 절연성 접착제 또는 접착 시트와, 실리콘 계열의 절연성 접착제 또는 접착 시트가 사용될 수 있다.

<94> 이와 같은 구조를 갖는 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 도 5 내지 도 16에 도시되어 있다. 도 5 내지 도 16을 참조하여 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 설명하겠다. 한편, 도면을 통틀어 동일한 도면 부호는 동일한 구성 요소를 나타낸다.

1020030018446

<95> 본 실시예의 제조 공정은 웨이퍼(30)와 배선기판 원판(40)의 준비 단계로부터 출발

한다. 먼저 도 5에 도시된 바와 같이, 실리콘 소재의 실리콘 기판(32)에는 일반적으로 웨이퍼 제조 공정을 통해 소정의 집적회로들이 형성된다. 실리콘 기판(32)에 집적된 회로들이 복수개의 반도체 칩(34)을 구성하고, 이웃하는 반도체 칩(34)들은 칩 절단 영역(36; scribe line)에 의해 구분된다. 한편 반도체 칩(34)을 이루는 집적회로가 본 발명을 이해하는데 반드시 필요한 것은 아니기 때문에, 집적회로는 본 명세서 및 도면에 개체 칩(34)의 극히 일부를 나타낸 것에 불과하다.

<96> 도 6 및 도 7에 도시된 바와 같이, 반도체 칩(34)은 실리콘 기판(32) 상부면에 집

적회로와 전기적으로 연결된 칩 패드(31)를 포함한다. 또한 불활성층(33)이 실리콘 기판(32) 상부면과 칩 패드(31) 가장자리를 뒤덮고 있어서, 실리콘 기판(32) 내부의 집적회로들을 외부환경으로부터 보호한다. 칩 패드(31)는 보통 알루미늄(A1)으로 되어 있으며, 불활성층(33)은 산화막, 질화막 또는 그 조합으로 되어 있다. 그리고 칩 패드(31)들은 칩 절단 영역(36)에 근접한 반도체 칩(34)의 가장자리에 열을 지어 형성된다. 그러나 칩 패드(31)의 위치가 반드시 반도체 칩(34)의 가장자리에 한정되는 것은 아니다.

<97> 도 8 내지 도 10에 도시된 바와 같이, 웨이퍼에 대응되는 원판 형태의 기판 몸체

(42)에 배선 패턴이 형성된 배선기판 원판(40)을 준비한다. 배선기판 원판(40)은 웨이퍼에 형성된 반도체 칩에 대응되는 배선기판(44)들과, 배선기판(44)을 구분하는 기판 절단 영역(46)이 형성된다. 이때 기판 절단 영역(46)은 칩 절단 영역과 동일한 위치에 형성되며, 배선기판 원판의 하부면(43)에 형성될 수 있다. 배선기판(44)은 기판 몸체의 상부면(41)에 반도체 칩의 칩 패드에 형성될 비아에 대응되게 형성된 기판 패드(45)에

1020030018446

소정의 높이로 금속 범프(52)가 형성되어 있고, 기판 몸체의 하부면(43)에 금속 범프(52)와 전기적으로 연결된 접속 패드(47)와 기판 절단 영역(46)이 형성되어 있다. 예컨대 배선기판(44)은 접속 구멍(49)이 형성된 절연성의 기판 몸체(42)와, 반도체 칩의 배면과 마주보는 기판 몸체의 상부면(41)에 형성되는 구리 소재의 배선 패턴으로, 접속 구멍(49)을 덮는 기판 패드(45)를 포함하는 배선 패턴을 포함하며, 기판 몸체의 하부면(43)의 접속 구멍(49)으로 노출된 기판 패드(45)의 면이 접속 패드(47)로 사용된다. 배선기판 원판(40)으로는 테이프 배선기판 또는 인쇄회로기판 등이 사용될 수 있다.

<98> 금속 범프(52)는 배선기판의 상부면(41)에 소정의 두께를 갖는 금속판을 접합한 다음 식각을 통하여 기판 패드(45) 위에만 기둥(stud) 형상으로 형성한다. 금속 범프(52)로는 구리 소재를 사용하는 것이 바람직하며, 그외 전기 도전성이 양호한 금속을 사용할 수도 있다.

<99> 그리고 배선기판 원판(40)에서 외부로 노출되는 부분 즉, 기판 패드(45), 금속 범프(52) 및 접속 패드(47)에는 금(Au), 니켈/금(Ni/Au)의 도금층이 형성되어 있다.

<100> 다음으로 도 11에 도시된 바와 같이, 반도체 칩(34)에 비아(37)를 형성하는 단계가 진행된다. 즉, 반도체 칩의 칩 패드(31)의 상부면에서 소정의 깊이로 비아(37)를 형성한다. 비아(37)는 칩 패드(31) 영역 안에 형성되며, 웨이퍼 배면(39) 연마 공정에 의해 웨이퍼 배면(39)을 통하여 비아(37)가 노출될 수 있는 깊이로 형성한다. 비아(37)를 형성하는 방법으로 레이저 드릴링 방법, 습식 식각 방법 또는 건식 식각 방법 중에서 선택하여 사용할 수 있다.

<101> 후공정으로 웨이퍼 배면(39)에 배선기판 원판(40)을 부착하는 공정을 진행하기 때문에, 웨이퍼 배면(39) 연마 공정에서 웨이퍼(30)를 더욱 얇게 연마할 것이므로 비아(37)를 종래에 비하여 깊게 형성하지 않아도 된다.

<102> 다음으로 도 12a 내지 도 12e에 도시된 바와 같이, 비아(37)의 내벽에 절연막(38)을 형성하는 단계가 진행된다. 즉, 절연막(38)은 비아(37)에 충전될 플러그와 비아(37) 내벽 사이의 접촉에 따른 전기적 쇼트 발생을 방지한다.

<103> 절연막(38)은 적어도 비아(37)의 내벽 즉, 비아(37) 내에 노출된 실리콘 기판(32) 측벽에 형성되는 것이 바람직하며, 비아(37) 내에 노출된 실리콘 기판(32) 바닥에는 형성되지 않을 수도 있다. 이는 실리콘 기판(32) 바닥의 경우 이후 공정에서 연마되어 제거되고, 플러그로부터 절연되어야 할 실질적인 부분이 비아(37) 내에 노출된 실리콘 기판(32) 바닥이 아닌 실리콘 기판(37) 측벽이기 때문이다. 한편 칩 패드(31)의 상부 영역은 절연막(38)에 의해 덮여지지 않는다.

<104> 비아(37)의 내벽에 절연막(38)을 형성하는 구체적인 방법으로는, 먼저 도 12a에 도시된 바와 같이, 웨이퍼 상부면(35) 전체에 소정의 두께로 절연막으로 형성될 절연층(38a)을 형성한다. 절연층(38a)으로는 웨이퍼 상부면(35)에 형성된 칩 패드(31) 및 불활성층(33)에 대한 식각 선택비가 있는 물질을 사용하는 것이 바람직하다. 예컨대, 절연층(38a)은 산화막, 질화막 또는 그 조합으로 이루어질 수 있다.

<105> 다음으로 도 12b에 도시된 바와 같이, 비아(38)를 포토레지스트(71)로 충진시키는 단계가 진행된다. 즉, 포토레지스트(71)가 비아(38) 내에 충진되도록 웨이퍼 상부면(35) 전체에 포토레지스트(71)를 도포하여 소정의 두께로 형성한다.

<106> 다음으로 도 12c에 도시된 바와 같이, 포토레지스트(71)를 에치백하는 단계가 진행된다. 즉, 웨이퍼 상부면(35)에 형성된 절연층(38a)이 노출되도록 포토레지스트(71)를 에치백하여 비아(37) 내에만 포토레지스트(71)가 남도록 한다. 비아(37) 내에 잔류하는 포토레지스트(71)는 다음에 진행될 절연층(38a)을 선별적으로 제거하는 공정에서 식각 마스크(etching mask)로 사용된다.

<107> 다음으로 도 12d에 도시된 바와 같이, 비아(37)에 충전된 포토레지스트(71)를 식각 마스크로 하여 웨이퍼 상부면(35)에 형성된 절연층(38a)을 선별적으로 제거한다. 이때, 비아(37)에 충전된 포토레지스트(71)에 의해 비아(37) 내벽에 형성된 절연층 즉, 절연막(38)은 제거되지 않는다.

<108> 마지막으로 도 12e에 도시된 바와 같이, 비아(37)에 충전된 포토레지스트를 제거함으로써, 비아(37) 내벽에 절연막(38)을 얻을 수 있다.

<109> 다음으로 도 13에 도시된 바와 같이, 웨이퍼 배면(39)을 연마하는 단계가 진행된다. 즉, 제조될 칩 스케일 패키지의 박형화를 구현하고, 웨이퍼 배면(39)을 통하여 비아(37)를 노출시키기 위해서 연마기(76)로 웨이퍼 배면(39)을 연마한다. 예컨대, 8인치 웨이퍼의 경우 연마전 약  $720\mu\text{m}$ 의 두께를 갖는데, 본 발명에 따른 배면 연마 공정을 통하여 약  $80\mu\text{m}$  두께의 웨이퍼로 형성하며, 반도체 칩의 구동에 무리가 없고 기술력이 허락한다면 더욱 얇게 가공하여도 무방하다. 종래에는 반도체 칩의 강도를 유지하기 위해서 약  $200\mu\text{m}$  두께로 가공하였다. 이때, 웨이퍼 배면 공정에 형성되는 비아는  $80\mu\text{m}$  보다는 짚게 형성하는 것이 바람직하며, 예컨대, 약  $100\mu\text{m}$  짚이로 형성하는 것이 바람직하다.

<110> 웨이퍼 배면(39) 연마 방법으로 연마기(76)를 이용하는 예를 개시하였지만, 화학적 물리적 연마 방법(Chemical Mechanical Polishing; CMP), 습식 식각 방법 또는 건식 식각 방법을 이용할 수도 있다.

<111> 다음으로 도 14에 도시된 바와 같이, 배선기판 원판(40)에 웨이퍼(30)를 부착하는 단계를 진행한다. 즉, 배선기판 원판의 상부면(41)에 절연성 접착제(72)를 도포한 다음 배선기판 원판 상부면(41)에 웨이퍼 배면(39)을 부착한다. 이때 배선기판의 금속 범프(52)가 반도체 칩의 비아(37)에 삽입된다. 웨이퍼(30)에 배선기판 원판(40)을 부착함으로써, 얇게 가공된 웨이퍼(30)의 강도를 보강할 수 있다. 예컨대 배선기판 원판(40)의 두께는 약 130 $\mu\text{m}$  정도이다.

<112> 절연성 접착제(72)로는 에폭시 계열의 절연성 접착제 또는 접착 시트, 실리콘 계열의 절연성 접착제 또는 접착 시트가 사용될 수 있다.

<113> 다음으로 도 15에 도시된 바와 같이, 비아(37)가 형성된 칩 패드(31)와 비아(37)에 삽입된 금속 범프(52)를 전기적으로 연결하도록 연결 범프(54)를 형성하는 단계가 진행된다. 연결 범프(54)는 볼 배치(ball placement), 도금(plating), 스텐실 프린팅(stencil printing) 또는 메탈젯(metaljet) 방법으로 형성할 수 있으며, 본 발명의 실시 예에서는 스텐실 프린팅법으로 형성하였다. 스텐실 프린팅법은 솔더 페이스트와 같은 금속 페이스트를 칩 패드(31)를 포함한 비아(37)와 금속 범프(52) 사이에 충진시킨 다음 리플로우하여 칩 패드(31) 위에 반구형의 연결 범프(54)를 형성한다. 비아(37)에 충전된 금속 범프(52)와 연결 범프(54)가 플러그(50)를 형성한다.

<114> 한편 비아(37)에 금속 범프(52)가 안정적으로 삽입되고, 연결 범프(54)를 형성하는 성분이 비아(37)와 금속 범프(52) 사이에 잘 충진될 수 있도록, 비아(37)에 위치하는

배선기판의 금속 범프(52) 부분은 비아(37)의 내경보다는 작게 형성하는 것이 바람직하다. 더욱 바람직하게는 금속 범프(52)는 기판 패드(45)에서 상부로 올라갈수록 단면적이 작아지는 고깔 모양의 기둥 형상으로 형성하는 것이다.

<115> 그리고 금속 범프(52)는 연결 범프(54) 내부에 위치할 수 있는 높이로 형성된다. 본 발명의 실시예에서는 금속 범프(52)의 상단이 반도체 칩의 활성면(35)에 근접하게 형성된 예를 개시하였지만, 반도체 칩의 비아(37)의 안쪽에 위치할 수 있는 높이를 갖거나, 반도체 칩의 활성면(35) 위로 돌출될 수 있는 높이를 갖게 형성할 수 있다.

<116> 또한 비아(37)의 깊이가 깊지 않고, 비아(37)에 금속 범프(52)가 삽입된 상태에서 연결 범프(54) 성분이 비아(37)에 충전되어 플러그(50)를 형성하기 때문에, 비아(37) 내부에 충전되는 연결 범프(54) 내의 보이드 발생을 억제할 수 있다.

<117> 마지막 단계로서 도 16에 도시된 바와 같이, 각각의 개별 칩 스케일 패키지(80)로 분리하는 단계가 수행된다. 즉, 절단수단(78)으로 웨이퍼의 칩 절단 영역(36)을 따라서 웨이퍼(30)가 부착된 배선기판 원판(40)을 절단함으로 개별 칩 스케일 패키지(80)가 얻어지게 된다.

<118> 도 17은 제 1 실시예에 따른 칩 스케일 패키지(80) 4개를 적층하여 형성한 본 발명의 제 1 실시예에 따른 적층 패키지(90)를 보여주는 단면도이다. 도 17을 참조하면, 제 1 실시예에 따른 적층 패키지(90)는 제 1 실시예에 따른 칩 스케일 패키지(80) 4개가 3 차원으로 적층된 구조를 갖는다. 즉, 상대적으로 아래에 위치하는 칩 스케일 패키지의 연결 범프(54)에 상대적으로 위에 위치하는 칩 스케일 패키지의 접속 패드(47)가 접합되어 적층되고, 최하부에 위치하는 칩 스케일 패키지의 접속 패드(47)에 외부접속단자용

1020030018446

접속 범프(60)가 형성된다. 접속 범프(60)로는 솔더 범프가 주로 사용되며, 그외 금 범프, 니켈 범프와 같은 도전성 범프가 사용될 수 있다.

<119> 이때, 접속 범프(60)는 외부기기의 인쇄회로기판과 열팽창 계수가 비슷한 배선기판(44)에 접합된 구조를 갖기 때문에, 외부기기의 인쇄회로기판에 대한 양호한 솔 더 접합성을 확보할 수 있다. 즉 외부기기의 구동하는 과정에서 발생되는 열에 의한 팽창 및 수축하는 작용이 인쇄회로기판과 배선기판(44)에서 비슷하게 일어나기 때문에, 배선기판(44)에 형성된 접속 범프(60)가 받는 기계적인 스트레스를 최소화할 수 있어 양호한 솔더 접합성을 확보할 수 있다.

<120> 제 1 실시예에 따른 적층 패키지(90)에서는 제 1 실시예에 따른 칩 스케일 패키지 (80) 4개가 적층된 예를 개시하였지만, 제 1 실시예에 따른 칩 스케일 패키지(80) 2개 이상을 적층하여 적층 패키지를 구현할 수 있다.

<121> 한편 본 발명의 제 1 실시예에 따른 칩 스케일 패키지는 제 1 실시예에 따른 적층 패키지로 구현하기 위해서 접속 패드에 접속 범프가 형성되지 않은 상태에서 개별 칩 스케일 패키지로 분리하였지만, 접속 패드에 접속 범프를 형성한 이후에 개별 칩 스케일 패키지로 분리하여 사용할 수도 있다. 즉, 도 18에 도시된 바와 같은 제 2 실시예에 따른 칩 스케일 패키지(180)로 구현할 수 있다. 도 18을 참조하면, 제 2 실시예에 따른 칩 스케일 패키지(180)는 연결 범프(154)를 포함한 반도체 칩의 활성면(135)이 수지 봉합부(174)에 의해 봉합되고, 접속 패드(147)에 외부접속단자용 접속 범프(160)가 형성된 구조를 제외하면 제 1 실시예에 따른 칩 스케일 패키지와 동일한 구조를 갖는다.

<122> 이와 같은 구조를 갖는 제 2 실시예에 따른 칩 스케일 패키지의 제조 방법이 도 19 내지 도 21에 도시되어 있다. 도 19 내지 도 21을 참조하여 제 2 실시예에 따른 칩 스

케일 패키지의 제조 방법을 설명하겠다. 한편, 도면을 통틀어 동일한 도면 부호는 동일한 구성 요소를 나타낸다.

<123> 여기서, 제 2 실시예에 따른 칩 스케일 패키지의 제조 단계는 도 5 내지 도 15에 도시된 바와 같은 제조 단계가 먼저 선행된다. 즉, 연결 범프(154)를 형성하는 공정까지는 제 1 실시예에 따른 칩 스케일 패키지의 제조 단계와 동일하게 진행된다. 상기의 제조 단계에 대한 설명은 전술되었기 때문에, 연결 범프(154)를 형성한 이후의 단계부터 설명하겠다.

<124> 도 19에 도시된 바와 같이, 수지 봉합부(174)를 형성하는 단계를 진행한다. 즉, 연결 범프(154)를 포함한 웨이퍼의 활성면(135)을 보호하기 위해서 액상의 성형 수지를 제공하여 수지 봉합부(174)를 형성한다. 수지 봉합부(174)는 트랜스퍼 몰딩(transfer molding) 방법, 인젝션 몰딩(injecting molding) 방법, 스크린 프린팅(screen printing) 방법 그리고 디스펜싱(dispensing) 방법 중에서 선택하여 사용할 수 있다.

<125> 다음으로 도 20에 도시된 바와 같이, 접속 범프(160)를 형성하는 단계를 진행한다. 즉, 배선기판의 접속 패드(147)에 접속 범프(160)를 형성한다. 접속 범프(160)로는 솔더 범프가 주로 사용되며, 그외 금 범프, 니켈 범프와 같은 도전성 범프가 사용될 수 있다. 접속 범프(160)는 볼 배치(ball placement), 도금(plating), 스텐실 프린팅(stencil printing) 또는 메탈젯(metaljet) 방법으로 형성할 수 있다.

<126> 마지막 단계로서 도 21에 도시된 바와 같이, 각각의 개별 칩 스케일 패키지(180)로 분리하는 단계가 수행된다. 즉, 절단수단(178)으로 배선기판 원판의 기판 절단 영역(146)을 따라서 웨이퍼(130)가 부착된 배선기판 원판(140)을 절단함으로 개별 칩 스케일 패키지(180)가 얻어지게 된다.

1020030018446

<127> 한편, 제 2 실시예에 따른 제조 방법에 따른 설명에 있어서는 접속 범프(160)를 형성한 이후에 분리하는 단계를 진행하는 것으로 설명하였지만, 접속 범프(160)를 형성하기 전에 분리하는 단계를 진행하여 개별 칩 스케일 패키지로 제조할 수 있다. 후술되겠지만 접속 범프가 없는 제 2 실시예에 따른 칩 스케일 패키지는 적층용으로 사용된다.

<128> 도 22는 제 2 실시예에 따른 칩 스케일 패키지(180)와 제 1 실시예에 따른 칩 스케일 패키지(80) 3개가 적층된 본 발명의 제 2 실시예에 따른 적층 패키지(190)를 보여주 는 단면도이다. 도 22를 참조하면, 제 2 실시예에 따른 적층 패키지(190)는 제 1 실시 예에 따른 적층 패키지에서 최상부의 칩 스케일 패키지로 제 2 실시예에 따른 칩 스케일 패키지(180)가 적층된 구조와 동일한 구조를 가지며, 적층 방법은 제 1 실시예에 따른 적층 패키지의 적층 방법과 동일하다. 그리고 최하부에 위치하는 제 1 실시예에 따른 칩 스케일 패키지의 접속 패드(47)에 외부접속단자용 접속 범프(60)가 형성된다. 이때 적층된 제 1 실시예에 따른 칩 스케일 패키지(80)를 상부의 연결 범프(54)에 제 2 실시 예에 따른 칩 스케일 패키지의 접속 패드(147)가 접합될 수 있도록, 제 2 실시예에 따른 칩 스케일 패키지의 접속 패드(147)에는 접속 범프가 형성되어 있지 않다. 즉, 제 1 실시예에 따른 적층 패키지에서 최상부의 칩 스케일 패키지로 제 2 실시예에 따른 칩 스케일 패키지(180)가 적층된 구조와 동일한 구조를 갖는다.

<129> 제 2 실시예에 따른 적층 패키지(190)의 적층 방법으로 제 1 실시예에 따른 칩 스케일 패키지(80)를 적층한 후 제 2 실시예에 따른 칩 스케일 패키지(180)를 적층하는 방법을 개시하였지만, 제 2 실시예에 따른 칩 스케일 패키지(180) 위에 제 1 실시예에 따른 칩 스케일 패키지(80)를 차례로 적층할 수 있도록 있다. 즉, 제 2 실시예에 따른 칩

스케일 패키지의 접속 패드(147)가 위를 향하도록 배치된 상태에서, 제 1 실시예에 따른 칩 스케일 패키지의 연결 범프(54)가 제 2 실시예에 따른 칩 스케일 패키지의 접속 패드(147)에 접합되고, 제 1 실시예에 따른 칩 스케일 패키지(80)들의 적층은 제 1 실시예에 따른 적층 패키지와 동일한 구조로 적층된다. 그리고 최상부에 위치하는 제 1 실시예에 따른 칩 스케일 패키지의 접속 패드(47)에 외부접속단자용 접속 범프(60)가 형성된다.

<130> 제 2 실시예에 따른 적층 패키지(190)는 외부기기 실장시 최상부에 제 2 실시예에 따른 칩 스케일 패키지(180)가 위치하기 때문에, 외부기기 실장시 수지 봉합부(174)가 형성된 제 2 실시예에 따른 칩 스케일 패키지(180)가 외부로 노출되어 외부기기에 실장된 적층 패키지(190)의 전기적 쇼트 등에 의한 손상을 방지할 수 있다.

<131> 한편, 제 2 실시예에 따른 적층 패키지(190)는 제 2 실시예에 따른 칩 스케일 패키지(180) 위에 제 1 실시예에 따른 칩 스케일 패키지(80) 3개가 적층된 예를 개시하였지만, 제 2 실시예에 따른 칩 스케일 패키지 위에 제 1 실시예에 따른 칩 스케일 패키지 1개 이상을 적층하여 적층 패키지를 구현할 수 있다.

<132> 그리고 제 2 실시예에 따른 칩 스케일 패키지(180)는 동일한 반도체 칩(134)을 갖는 칩 스케일 패키지(180)를 상하로 적층하기 위해서, 칩 패드(131) 위에 형성된 연결 범프(154)에 대응되는 위치에 접속 패드(147)가 형성된 배선기판(144)을 사용하였지만, 칩 패드의 재배선을 위한 접속 패드가 형성된 배선기판을 사용하여 칩 스케일 패키지를 구현할 수도 있다.

<133> 도 23은 본 발명의 제 3 실시예에 따른 칩 스케일 패키지(280)를 보여주는 단면도이다. 도 23을 참조하면, 제 3 실시예에 따른 칩 스케일 패키지(280)는 웨

1020030018446

이퍼 배면 연마 공정을 통하여 박형화된 반도체 칩의 배면(239)에 배선기판(244)이 접합되고, 반도체 칩의 칩 패드(231)를 관통하여 형성된 비아(237)에 충전된 플러그(250)를 통하여 칩 패드(231)와 배선기판(244)이 전기적으로 연결된 구조를 갖는다.

<134> 이때 플러그(250)는 비아(237)에 충전되어 반도체 칩의 칩 패드(231)와 전기적으로 연결된다. 플러그(250)는 통상적인 솔더 볼 또는 범프 형성 방법으로 형성되며, 예컨대 스크린 프린팅법으로 형성한다. 플러그(250)가 충전되는 비아(237)의 깊이가 종래에 비하여 깊지 않기 때문에, 통상적인 방법으로 플러그(250)를 형성하더라도, 플러그(250) 내에 보이드가 발생되는 것을 억제할 수 있다. 그리고 반도체 칩의 칩 패드(231)를 둘러싸는 플러그(250)의 상단부를 반도체 칩의 칩 패드(231) 상부로 소정의 높이를 갖는 반구형으로 형성하여 적층용 단자로 사용한다. 즉, 플러그(250)의 상단부는 제 1 실시 예에 따른 플러그의 연결 범프의 역할을 한다.

<135> 반도체 칩의 배면으로 노출된 플러그(250)는 배선기판(244)은 배선기판의 기판 패드(245)에 접합되어 전기적으로 연결된다. 이때 접속 패드(247)는 제 3 실시예에 따른 칩 스케일 패키지(280)들을 적층할 수 있도록, 칩 스케일 패키지의 칩 패드(231)와 동일한 위치에 형성된다. 하지만 접속 패드(247)는 반도체 칩의 칩 패드(231)의 재배선에 따른 외부접속단자가 형성될 수 있는 볼 패드로 형성할 수도 있다.

<136> 그리고 절연성 접착제(272)를 개재하여 반도체 칩의 배면(239)과 배선기판의 상부면(241)을 접착한다.

<137> 도 24는 제 3 실시예에 따른 칩 스케일 패키지(280) 4개를 적층하여 형성한 본 발명의 제 3 실시예에 따른 적층 패키지(290)를 보여주는 단면도이다. 도 24를 참조하면, 제 3 실시예에 따른 적층 패키지(290)는 제 3 실시예에 따른 칩 스케일 패키지(280) 4개

가 3차원으로 적층된 구조를 갖는다. 즉, 상대적으로 아래에 위치하는 칩 스케일 패키지의 플러그(250) 상단부에 상대적으로 위에 위치하는 칩 스케일 패키지의 접속 패드(247)가 접합되며, 최하부에 위치하는 칩 스케일 패키지의 접속 패드(247)에 외부접속단자용 접속 범프(260)가 형성된 구조를 갖는다.

<138> 한편 제 3 실시예에 따른 적층 패키지(290)는 제 1 실시예에 따른 적층 패키지와 동일한 효과를 달성할 수 있음은 물론이다.

<139> 그리고 제 3 실시예에 따른 적층 패키지(290)에서는 제 3 실시예에 따른 칩 스케일 패키지(280) 4개가 적층된 예를 개시하였지만, 제 3 실시예에 따른 칩 스케일 패키지 2개 이상을 적층하여 적층 패키지를 구현할 수도 있다.

<140> 도 25는 본 발명의 제 4 실시예에 따른 칩 스케일 패키지(380)를 보여주는 단면도이다. 도 25를 참조하면, 제 4 실시예에 따른 칩 스케일 패키지(380)는 플러그(350)를 포함한 반도체 칩의 활성면(335)이 수지 봉합부(374)에 의해 봉합되고, 접속 패드(347)에 외부접속단자용 접속 범프(360)가 형성된 구조를 제외하면 제 3 실시예에 따른 칩 스케일 패키지와 동일한 구조를 갖는다. 물론, 제 2 실시예에 따른 칩 스케일 패키지 및 적층 패키지에서도 언급한 바와 같이, 적층용으로 사용할 경우 접속 범프가 없는 상태로 사용할 수 있다.

<141> 도 26은 제 4 실시예에 따른 칩 스케일 패키지(380)와 제 3 실시예에 따른 칩 스케일 패키지(280) 3개가 적층된 제 4 실시예에 따른 적층 패키지(390)를 보여주는 단면도이다. 도 26을 참조하면, 제 4 실시예에 따른 적층 패키지(390)는 제 3 실시예에 따른 적층 패키지에서 최상부의 칩 스케일 패키지로 제 4 실시예에 따른 칩 스케일 패키지(380)가 적층된 구조와 동일한 구조를 갖는다. 그리고 최하부에 위치하는 제 3 실시예

1020030018446

에 따른 칩 스케일 패키지의 접속 패드(247)에 외부접속단자용 접속 범프(260)가 형성된  
다.

<142>      제 4 실시예에 따른 적층 패키지(390)는 제 2 실시예에 따른 적층 패키지와 동일한  
효과를 달성할 수 있기 때문에, 상세한 설명은 생략한다.

<143>      도 27은 본 발명의 제 5 실시예에 따른 칩 스케일 패키지(480)를 보여주는 단면도  
이다. 도 27일 참조하면, 본 발명의 제 5 실시예에 따른 칩 스케일 패키지(480)는 배선  
기판의 기판 패드(445)에 솔더 범프를 형성하는 대신에 이방성 전도 필름(452)을 사용하  
여 반도체 칩의 배면(439)과 배선기판의 상부면(441)을 접합한 구성을 제외하면 제 3 실  
시예에 따른 칩 스케일 패키지와 동일한 구조를 갖는다. 즉 이방성 전도 필름(452)에  
의해 반도체 칩의 배면(439)으로 노출된 플러그(450)와 배선기판의 기판 패드(445)가 전  
기적으로 연결된다.

<144>      도 28은 제 5 실시예에 따른 칩 스케일 패키지(480) 4개를 적층하여 형성한 본 발  
명의 제 5 실시예에 따른 적층 패키지(490)를 보여주는 단면도이다. 도 28을 참조하면,  
제 5 실시예에 따른 적층 패키지(490)는 제 5 실시예에 따른 칩 스케일 패키지(480) 4개  
가 3차원으로 적층된 구조를 갖는다.

<145>      한편 제 5 실시예에 따른 적층 패키지(490)는 제 3 실시예에 따른 적층 패키지와  
동일한 효과를 달성할 수 있으며, 그에 대한 상세한 설명은 생략한다.

<146>      도 29는 본 발명의 제 6 실시예에 따른 칩 스케일 패키지(580)를 보여주는 단면도  
이다. 도 29를 참조하면, 제 6 실시예에 따른 칩 스케일 패키지(580)는 반도체 칩의 활  
성면(535)이 수지 봉합부(574)에 의해 봉합되고, 접속 패드(547)에 외부접속단자용 접속

범프(560)가 형성된 구조를 제외하면 제 5 실시예에 따른 칩 스케일 패키지와 동일한 구조를 갖는다. 물론, 제 2 실시예에 따른 칩 스케일 패키지 및 적층 패키지에서도 언급한 바와 같이, 적층용으로 사용할 경우 접속 범프가 없는 상태로 사용할 수 있다.

<147> 도 30은 제 6 실시예에 따른 칩 스케일 패키지(580)와 제 5 실시예에 따른 칩 스케일 패키지(480) 3개가 적층된 제 6 실시예에 따른 적층 패키지(590)를 보여주는 단면도이다. 도 30을 참조하면, 제 6 실시예에 따른 적층 패키지(590)는 제 5 실시예에 따른 적층 패키지의 최상부에 제 6 실시예에 따른 칩 스케일 패키지(580)가 적층된 구조를 갖는다. 그리고 최하부에 위치하는 제 5 실시예에 따른 칩 스케일 패키지의 접속 패드(447)에 외부접속단자용 접속 범프(460)가 형성된다.

<148> 제 6 실시예에 따른 적층 패키지(590)는 제 2 실시예에 따른 적층 패키지에 언급된 효과와 동일한 효과를 달성할 수 있음을 당업자라면 용이하게 알 수 있기 때문에, 상세한 설명은 생략한다.

<149> 도 31은 본 발명의 제 1 실시예에 따른 적층 패키지(80) 4개가 재배선기판(640)에 적층된 본 발명의 제 7 실시예에 따른 적층 패키지(690)를 보여주는 단면도이다. 즉, 도 31을 참조하면, 제 7 실시예에 따른 적층 패키지(690)는 제 1 실시예에 따른 칩 스케일 패키지(80) 4개가 3차원으로 재배선기판(640) 위에 적층된 구조를 갖는다. 즉, 상대적으로 아래에 위치하는 칩 스케일 패키지의 접속 패드(47)에 상대적으로 위에 위치하는 칩 스케일 패키지의 연결 범프(54)가 접합되어 적층되고, 최하부에 위치하는 칩 스케일 패키지의 연결 범프(54)에 재배선기판(644)이 접합되고, 재배선기판의 하부면(643)에 외부접속단자용 접속 범프(660)가 형성된 구조를 갖는다. 이때 제 1 실시예에 따른 적층 패키지의 경우는 최상부에 위치하는 칩 스케일 패키지의 연결 범프가 노출되었지만, 제

7 실시예에 따른 적층 패키지(690)는 최상부에 위치하는 칩 스케일 패키지의 배선기판(44)이 노출된다.

<150> 재배선기판(640)은 기판 몸체(642)와, 기판 몸체의 상부면(641)과 하부면(643)에 형성된 재배선 패턴(648)을 포함한다. 재배선 패턴(648)은 최하부의 연결 범프(54) 대응되게 기판 몸체의 상부면(641)에 형성된 기판 패드(645)를 갖는 상부 재배선 패턴과, 기판 몸체의 하부면(643)에 형성되며 기판 패드(645)와 전기적으로 연결되어 칩 패드(31)를 재배치하는 접속 패드(647)를 갖는 하부 재배선 패턴을 포함하며, 상부 재배선 패턴과 하부 재배선 패턴은 기판 몸체(642)를 관통하여 형성되는 신호용 비아(a) 또는 기판 몸체 내에 형성된 내부 배선 패턴을 통하여 전기적으로 연결된다. 그리고 기판 패드(645)와 접속 패드(647)를 제외한 기판 몸체의 상부면(641)과 하부면(643)은 솔더 레지스트 층(b)으로 덮여진다.

<151> 한편, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돋기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다. 예컨대, 도 31에서는 제 1 실시예에 따른 칩 스케일 패키지 4개에 재배선기판에 적층하여 적층 패키지를 구현한 예를 개시하였지만, 제 3 실시예, 5실시예에 따른 칩 스케일 패키지들을 재배선기판에 적층하여 적층 패키지로 구현할 수 있음은 물론이다.

### 【발명의 효과】

<152> 따라서, 본 발명의 구조를 따르면 반도체 칩의 칩 패드를 관통하여 비아를 형성하고, 비아에 플리그를 형성하여 반도체 칩의 칩 패드와 전기적으로 연결하고, 반도체 칩

의 배면에 반도체 칩의 배면으로 노출된 플러그에 배선기판을 접합하고, 배선기판에 외부접속단자를 형성함으로써, 외부기기의 인쇄회로기판에 대한 양호한 솔더 접합성을 확보할 수 있다.

<153> 반도체 칩의 배면에 배선기판이 접합된 구조를 갖기 때문에, 반도체 칩의 두께를 최소화하면서 칩 스케일 패키지의 강도를 유지할 수 있다. 더불어 반도체 칩의 두께를 박형화할 수 있기 때문에, 반도체 칩을 관통하여 형성되는 비아의 깊이를 줄여 비아에 충전되는 플러그 내의 보이드 발생을 억제할 수 있다.

<154> 그리고 칩 스케일 패키지의 적층은 칩 스케일 패키지의 상부면에 노출된 플러그와, 칩 스케일 패키지의 하부면에 형성된 접속 범프를 서로 대응되게 적층함으로써 구현할 수 있다.

<155> 또한 재배선기판 위에 칩 스케일 패키지들을 적층하여 적층 패키지를 구현함으로써, 적층된 칩 스케일 패키지들의 일렬로 연결된 칩 패드의 재배열이 가능하다.

**【특허청구범위】****【청구항 1】**

웨이퍼 레벨 칩 스케일 패키지로서,  
다수개의 칩 패드가 형성되는 활성면과, 상기 활성면에 반대되는 배면을 갖는 반  
도체 칩으로, 상기 칩 패드를 관통하여 비아가 형성되고, 상기 비아의 내측면에 절연막  
이 형성된 반도체 칩과;  
상기 비아의 내부에 충전되어 상기 칩 패드와 전기적으로 연결하는 플러그와;  
상기 반도체 칩의 배면에 접합되는 배선기판으로, 상부면에 상기 반도체 칩의 배면  
으로 노출된 상기 플러그와 전기적으로 연결되는 기판 패드가 형성되고, 상기 상부면에  
반대되는 하부면에 상기 기판 패드와 전기적으로 연결된 접속 패드가 형성된 배선기판;  
을 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 2】**

제 1항에 있어서, 상기 플러그는,  
상기 기판 패드의 상부면에 소정의 높이로 형성되며, 상기 반도체 칩의 배면을 통  
하여 상기 반도체 칩의 비아에 삽입되는 금속 범프와;  
상기 반도체 칩의 활성면을 통하여 상기 비아에 충전되어 상기 칩 패드와 상기 금  
속 범프를 전기적으로 연결하는 연결 범프;를 포함하는 것을 특징으로 하는 웨이퍼 레벨  
칩 스케일 패키지.

1020030018446

### 【청구항 3】

제 2항에 있어서, 상기 배선기판의 상부면과 상기 반도체 칩의 배면을 접착시키는 절연성 접착제;를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

### 【청구항 4】

제 3항에 있어서, 상기 절연성 접착제는 에폭시 또는 실리콘 계열의 절연성 접착제, 절연성 접착 시트 중의 어느 하나 인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

### 【청구항 5】

제 2항에 있어서, 상기 배선기판은,  
상기 반도체 칩의 비아에 대응되게 접속 구멍이 형성된 절연성의 기판 몸체와;  
상기 반도체 칩의 배면과 마주보는 상기 기판 몸체의 상부면에 형성된 배선 패턴으로, 상기 접속 구멍을 덮는 기판 패드를 갖는 배선 패턴;을 포함하며,  
상기 기판 몸체의 하부면의 접속 구멍으로 노출된 기판 패드의 면이 상기 접속 패드로 사용되는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

### 【청구항 6】

제 2항에 있어서, 상기 배선기판은,  
상부면과, 상기 상부면에 반대되는 하부면을 갖는 절연성의 기판 몸체와;  
상기 기판 몸체에 형성된 적어도 두 층 이상의 배선 패턴으로, 상기 반도체 칩의 배면과 마주보는 상기 기판 몸체의 상부면에 형성되며 상기 비아에 대응되게 형성된 기판 패드를 갖는 상부 배선 패턴과, 상기 기판 몸체의 하부면에 형성되며 상기 기판 패드

1020030018446

와 전기적으로 연결된 상기 접속 패드를 갖는 하부 배선 패턴을 갖는 배선 패턴;을 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

#### 【청구항 7】

제 5항 또는 제 6항에 있어서, 상기 배선기판은 테이프 배선기판 또는 인쇄회로기판인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

#### 【청구항 8】

제 2항에 있어서, 상기 금속 범프는 상기 연결 범프 내부에 위치할 수 있는 높이를 갖는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

#### 【청구항 9】

제 8항에 있어서, 상기 비아의 내부에 위치하는 상기 금속 범프 부분은 상기 비아 내측면의 절연막에서 이격되게 위치하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패

키지.

#### 【청구항 10】

제 9항에 있어서, 상기 금속 범프는 상기 기판 패드에서 상부로 올라갈수록 작아지는 기동 형상을 갖는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

#### 【청구항 11】

제 10항에 있어서, 상기 금속 범프는 구리 소재의 스터드(stud) 범프인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 12】**

제 2항에 있어서, 상기 연결 범프를 포함한 상기 반도체 칩의 활성면을 보호하기 위하여 형성된 수지 봉합부를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 13】**

제 2항에 있어서, 상기 접속 패드의 위치는 상기 칩 패드의 위치와 동일한 위치에 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 14】**

제 1항에 있어서, 상기 접속 패드에 형성된 외부접속단자용 접속 범프;를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 15】**

제 1항에 있어서, 상기 비아는 상기 칩 패드 영역 안에 형성되는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 16】**

제 1항에 있어서, 상기 접속 범프는 금 범프, 솔더 범프, 니켈 범프 중의 어느 하나인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 17】**

제 1항에 있어서, 상기 반도체 칩의 배면으로 노출된 상기 플러그가 직접 상기 배선기판의 기판 패드에 접합되어 전기적으로 연결되며,

1020030018446

상기 반도체 칩의 활성면으로 노출된 상기 플러그의 상단부는 상기 칩 패드를 덮는 반구형으로 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

【청구항 18】

제 17항에 있어서, 상기 접속 패드에 형성된 외부접속단자용 접속 범프;를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

【청구항 19】

제 17항에 있어서, 상기 접속 패드의 위치는 상기 칩 패드의 위치와 동일한 위치에 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

【청구항 20】

제 1항에 있어서, 상기 배선기판의 상부면에 상기 반도체 칩의 배면을 접착시키면서 상기 반도체 칩 배면의 플러그와 상기 배선기판의 접속 패드를 전기적으로 연결하는 이방성 도전 필름;을 더 포함하며,

상기 반도체 칩의 활성면으로 노출된 상기 플러그의 상단부는 상기 칩 패드를 덮는 반구형으로 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

【청구항 21】

제 20항에 있어서, 상기 접속 패드에 형성된 외부접속단자용 접속 범프;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

【청구항 22】

제 20항에 있어서, 상기 접속 패드의 위치는 상기 칩 패드의 위치와 동일한 위치에 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지.

**【청구항 23】**

상기 제 13항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 적층된 적층 패키지로서,  
상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 연결 범프에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드가 접합되어 적층되고,  
최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 24】**

제 23항에 있어서, 최상부에 위치하는 상기 칩 스케일 패키지는 상기 연결 범프를 포함한 상기 반도체 칩의 활성면을 봉합하는 수지 봉합부가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 25】**

상기 제 13항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 재배선기판에 적층된 적층 패키지로서,  
상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되어 적층되고,  
상기 재배선기판 위에 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되고,  
상기 재배선기판의 하부면에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 26】**

제 25항에 있어서, 상기 재배선기판은,

상부면에 형성되며, 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되는 기판 패드와;

상기 상부면에 반대되는 하부면에 형성되어 상기 기판 패드와 전기적으로 연결되어 적층된 상기 칩 스케일 패키지들의 칩 패드를 재배치하며, 상기 접속 범프가 접합되는 접속 패드;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 27】**

상기 제 19항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 적층된 적층 패키지로서,

상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 플러그의 상단부에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드가 접합되어 적층되고,

최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 28】**

제 27항에 있어서, 최상부에 위치하는 상기 칩 스케일 패키지는 상기 반도체 칩의 활성면을 봉합하는 수지 봉합부가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 29】**

상기 제 19항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 재배선기판에 적층된 적층 패키지로서,

상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되어 적층되고,

상기 재배선기판 위에 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되고,

상기 재배선기판의 하부면에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 30】**

제 29항에 있어서, 상기 재배선기판은,

상부면에 형성되며, 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되는 기판 패드와;

상기 상부면에 반대되는 하부면에 형성되어 상기 기판 패드와 전기적으로 연결되어 적층된 상기 칩 스케일 패키지들의 칩 패드를 재배치하며, 상기 접속 범프가 접합되는 접속 패드;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

**【청구항 31】**

상기 제 22항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 적층된 적층 패키지로서,

1020030018446

상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 플러그의 상단부에 상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드가 접합되어 적층되고, 으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범 최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범 프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

### 【청구항 32】

제 31항에 있어서, 최상부에 위치하는 상기 칩 스케일 패키지는 상기 반도체 칩의 활성면을 봉합하는 수지 봉합부가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

### 【청구항 33】

상기 제 22항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 재배선기판에 적층된 적층 패키지로서, 상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되어 적층되고, 상기 재배선기판 위에 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되고, 상기 재배선기판의 하부면에 외부접속단자용 접속 범프가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

### 【청구항 34】

제 33항에 있어서, 상기 재배선기판은,

상부면에 형성되며, 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되는 기판 패드와;

상기 상부면에 반대되는 하부면에 형성되어 상기 기판 패드와 전기적으로 연결되어 적층된 상기 칩 스케일 패키지들의 칩 패드를 재배치하며, 상기 접속 범프가 접합되는 접속 패드;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지.

### 【청구항 35】

웨이퍼 레벨 칩 스케일 패키지의 제조 방법으로,

(a) 활성면과, 상기 활성면에 반대되는 배면을 가지며, 상기 활성면에 다수개의 칩 패드가 형성된 반도체 칩들과, 상기 반도체 칩들을 구분하는 웨이퍼 절단 영역이 형성된 웨이퍼와,

웨이퍼에 대응되는 원판 형태로, 상기 웨이퍼에 형성된 반도체 칩에 대응되는 배선 기판과, 상기 배선기판을 구분하는 기판 절단 영역이 형성된 배선기판 원판으로, 상기 배선기판에는 상부면에 상기 반도체 칩의 칩 패드에 형성될 비아에 대응되게 기판 패드에 소정의 높이로 금속 범프가 형성되어 있고, 상기 상부면에 반대되는 하부면에 상기 금속 범프와 전기적으로 연결된 접속 패드가 형성된 배선기판 원판을 준비하는 단계와;

(b) 상기 칩 패드에 소정의 깊이로 비아를 형성하는 단계와;

(c) 상기 비아의 내벽에 절연막을 형성하는 단계와;

(d) 상기 웨이퍼의 배면을 연마하여 상기 비아를 상기 웨이퍼의 배면쪽으로 노출시키는 단계와;

(e) 상기 배선기판 원판의 상부면에 절연성 접착제를 개재하여 상기 배선기판의 금속 범프가 상기 반도체 칩의 배면을 통하여 상기 반도체 칩의 비아에 삽입되게 상기 반도체 칩의 배면을 상기 배선기판 원판의 상부면에 접착하는 단계와;

(f) 상기 웨이퍼의 활성면을 통하여 상기 비아에 충전되어 상기 비아에 삽입된 금속 범프와 상기 칩 패드를 전기적으로 연결하는 연결 범프를 형성하는 단계와;

(g) 상기 웨이퍼가 접합된 상기 배선기판 원판을 절단하여 개별 칩 스케일 패키지로 분리하는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

#### 【청구항 36】

제 35항에 있어서, 상기 (a) 단계의 배선기판 원판은,  
 상부면과, 상기 상부면에 반대되는 하부면을 가지며, 상기 반도체 칩의 비아에 대응되게 접속 구멍이 형성되고, 상기 하부면에 상기 패키지 영역을 구분하는 상기 기판 절단 영역이 형성된 절연성의 기판 몸체와,  
 상기 반도체 칩의 배면과 마주보는 상기 기판 몸체의 상부면에 형성된 배선 패턴으로, 상기 접속 구멍을 덮는 기판 패드를 갖는 배선 패턴을 포함하며,  
 상기 기판 몸체의 하부면을 통하여 상기 접속 구멍으로 노출된 기판 패드의 면이 상기 접속 패드로 사용되는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

#### 【청구항 37】

제 35항에 있어서, 상기 (a) 단계의 배선기판 원판은,

상부면과, 상기 상부면에 반대되는 하부면과, 상기 하부면에 상기 패키지 영역을 구분하는 상기 기판 절단 영역이 형성된 절연성의 기판 몸체와, 상기 기판 몸체에 형성된 적어도 두 층 이상의 배선 패턴으로, 상기 반도체 칩의 배면과 마주보는 상기 기판 몸체의 상부면에 형성되며 상기 비아에 대응되게 형성된 기판 패드를 갖는 상부 배선 패턴과, 상기 기판 몸체의 하부면에 형성되며 상기 기판 패드와 전기적으로 연결된 상기 접속 패드를 갖는 하부 배선 패턴을 갖는 배선 패턴을 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

#### 【청구항 38】

제 36항 또는 제 37항에 있어서, 상기 배선기판 원판은 테이프 배선기판 또는 인쇄회로기판인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

#### 【청구항 39】

제 36항 또는 제 37항에 있어서, 상기 접속 패드의 위치는 상기 칩 패드의 위치와 동일한 위치에 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

#### 【청구항 40】

제 35항에 있어서, 상기 (b) 단계에서, 상기 칩 패드 영역 안에 상기 비아를 형성하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지 제조 방법.

#### 【청구항 41】

제 35항에 있어서, 상기 (b) 단계에서 상기 비아를 형성하는 방법은 레이저 드릴링 방법, 습식 식각 방법 그리고 건신 식각 방법으로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지 제조 방법.

**【청구항 42】**

제 35항에 있어서, 상기 금속 범프는 상기 연결 범프 내부에 위치할 수 있는 높이를 갖는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 43】**

제 42항에 있어서, 상기 비아의 내부에 위치하는 상기 금속 범프 부분은 상기 비아 내측면의 절연막에서 이격되게 위치하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 44】**

제 43항에 있어서, 상기 금속 범프는 상기 범프 패드에서 상부로 올라갈수록 작아지는 기둥 형상을 갖는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 45】**

제 35항에 있어서, 상기 (e) 단계의 상기 절연성 접착제는 에폭시 또는 실리콘 계열의 절연성 접착제, 절연성 접착 시트 중의 어느 하나인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 46】**

제 35항에 있어서, 상기 (f) 단계의 연결 범프는 금속 페이스트를 이용한 스크린 프린트법 또는 솔더 볼을 이용한 볼 마운팅법으로 형성하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 47】**

제 35항에 있어서, 상기 (g) 단계는 상기 웨이퍼의 칩 절단 영역을 따라서 상기 웨이퍼가 접합된 상기 배선기판 원판을 절단하여 개별 칩 스케일 패키지로 분리하는 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 48】**

제 35항에 있어서, 상기 (f) 단계와 상기 (g) 단계 사이에, 상기 연결 범프를 포함한 상기 반도체 칩의 활성면을 보호하기 위하여 형성된 수지 봉합부를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 49】**

제 48항에 있어서, 상기 수지 봉합부를 형성하는 단계 이후에, 상기 접속 패드에 형성된 외부접속단자용 접속 범프를 형성하는 단계;를 더 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 50】**

제 49항에 있어서, 상기 접속 범프는 금 범프, 솔더 범프, 니켈 범프 중의 어느 하나인 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 51】**

제 49항에 있어서, 상기 (g) 단계는 상기 배선기판 원판의 기판 절단 영역을 따라서 상기 웨이퍼가 접합된 상기 배선기판 원판을 절단하여 개별 칩 스케일 패키지로 분리하는 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

**【청구항 52】**

상기 제 35항에 따른 제조 방법으로 제조된 웨이퍼 레벨 칩 스케일 패키지들을 적어도 2개 이상 적층한 적층 패키지의 제조 방법으로,  
상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 연결 범프에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 접속 패드를 접합하여 적층하는 단계와;  
최하부에 위치하는 상기 칩 스케일 패키지의 접속 패드에 외부접속단자용 접속 범프를 형성하는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지의 제조 방법.

**【청구항 53】**

제 52항에 있어서, 최상부에 위치하는 상기 칩 스케일 패키지는 상기 연결 범프를 포함한 상기 반도체 칩의 활성면을 통합하는 수지 봉합부가 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지의 제조 방법.

**【청구항 54】**

상기 제 35항에 따른 웨이퍼 레벨 칩 스케일 패키지들이 적어도 2개 이상 재배선기판에 적층한 적층 패키지 제조 방법으로,  
상대적으로 아래에 위치하는 상기 칩 스케일 패키지의 접속 패드에 상대적으로 위에 위치하는 상기 칩 스케일 패키지의 연결 범프를 접합하여 적층하는 단계와;  
상기 재배선기판 위에 최하부에 위치하는 상기 칩 스케일 패키지의 연결 범프를 접합하는 단계와;

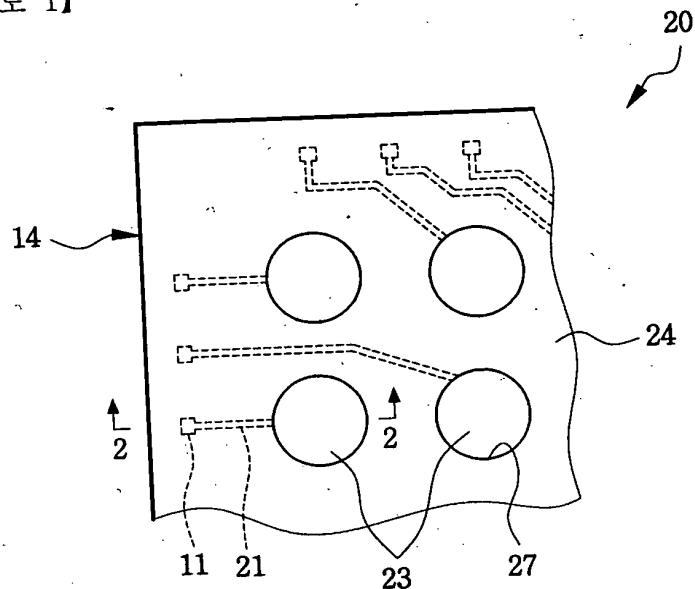
상기 재배선기판의 하부면에 외부접속단자용 접속 범프를 형성하는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지의 제조 방법.

【청구항 55】

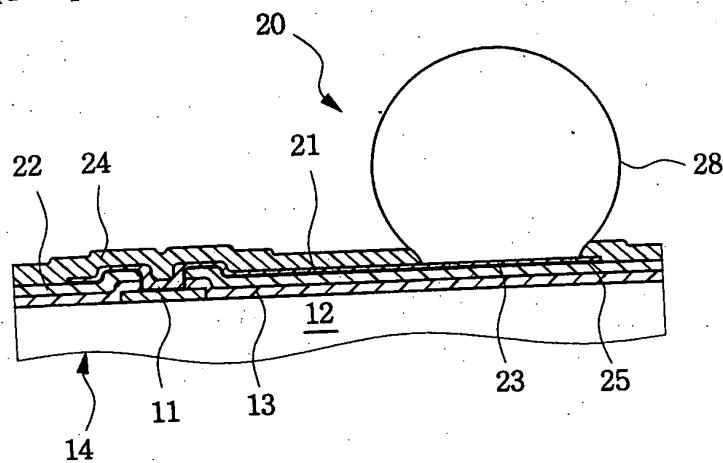
제 54항에 있어서, 상기 재배선기판은, 상기 상부면에 반대되는 하부면에 형성되어 상기 기판 패드와 전기적으로 연결되어 상기 상부면에 위치하는 상기 칩 스케일 패키지의 연결 범프가 접합되는 접속 패드;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지가 적층된 적층 패키지의 제조 방법.

【도면】

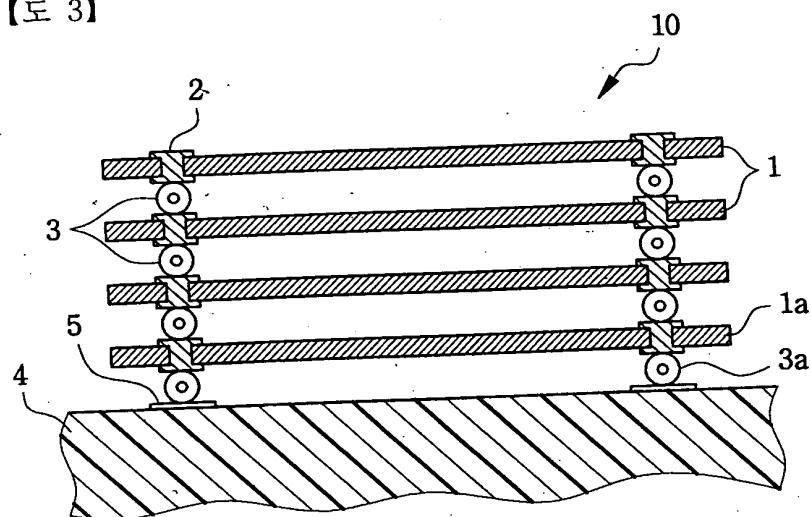
【도 1】



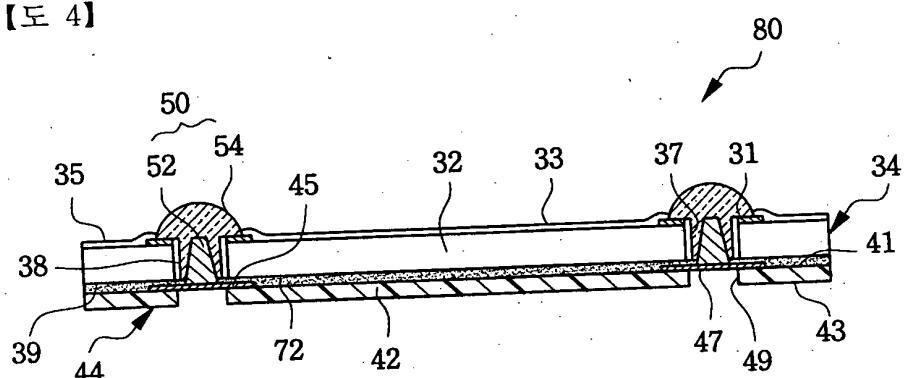
【도 2】



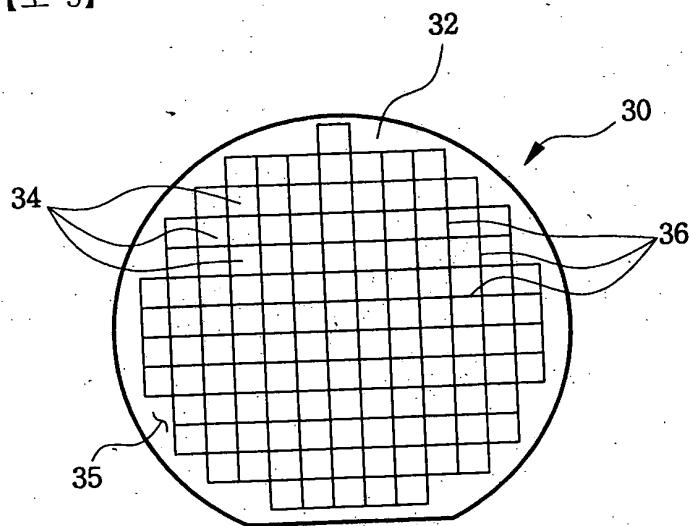
【도 3】



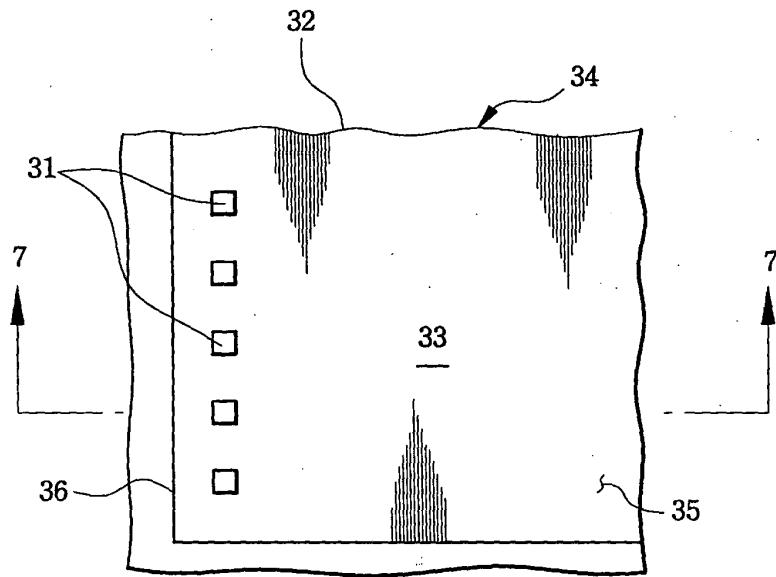
【도 4】



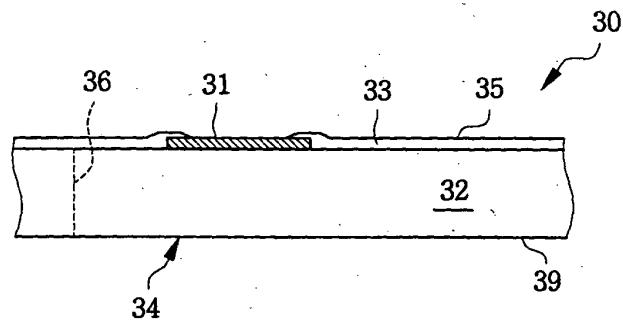
【도 5】



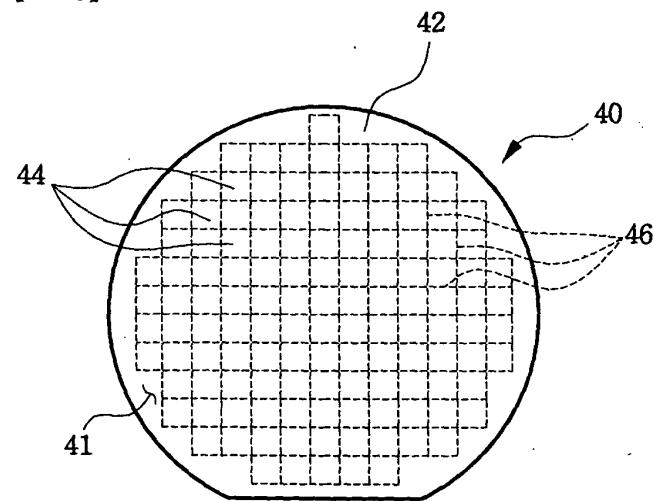
【도 6】



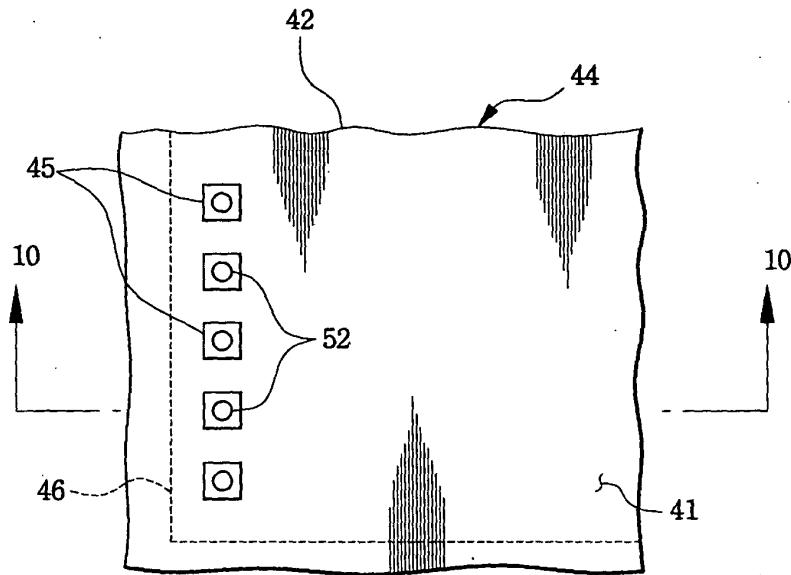
【도 7】



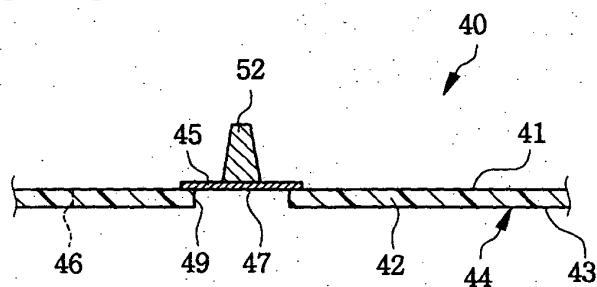
【도 8】



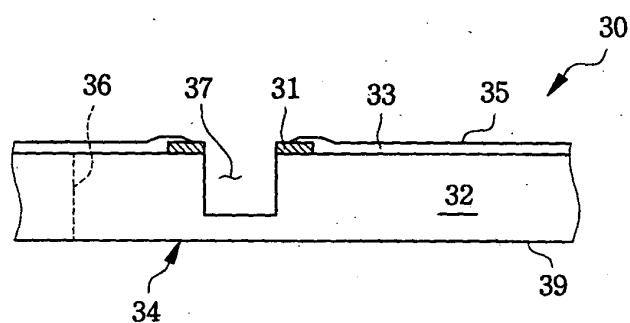
【도 9】



【도 10】



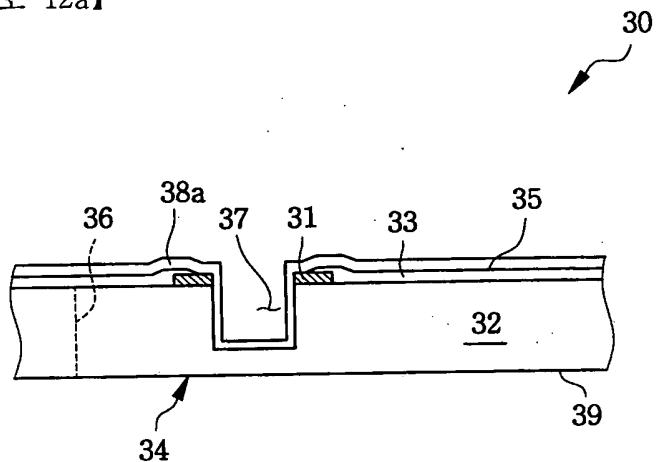
【도 11】



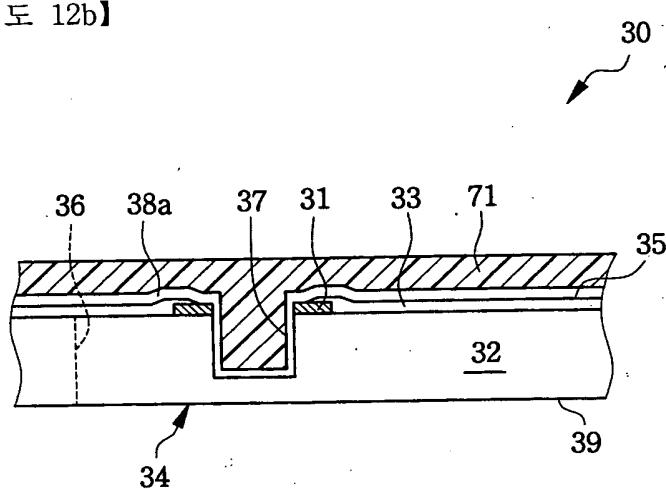
1020030018446

출력 일자: 2003/4/23

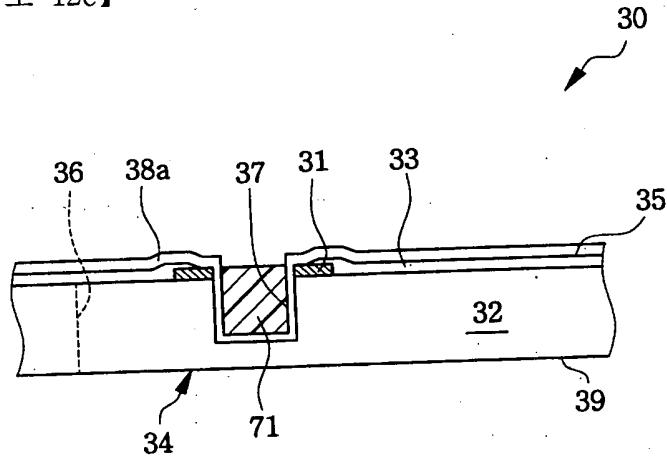
【도 12a】



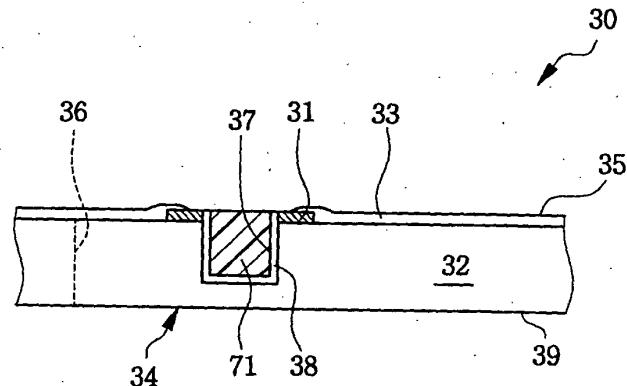
【도 12b】



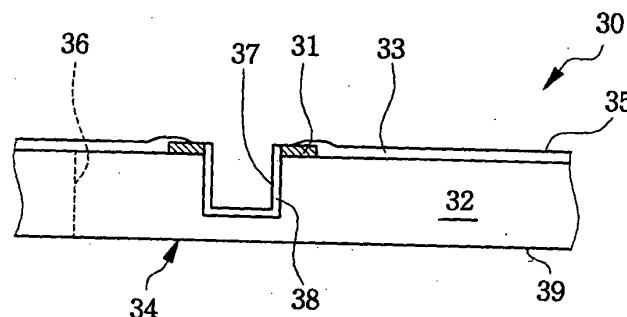
【도 12c】



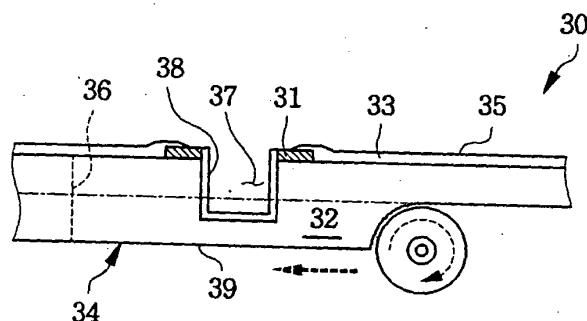
【도 12d】



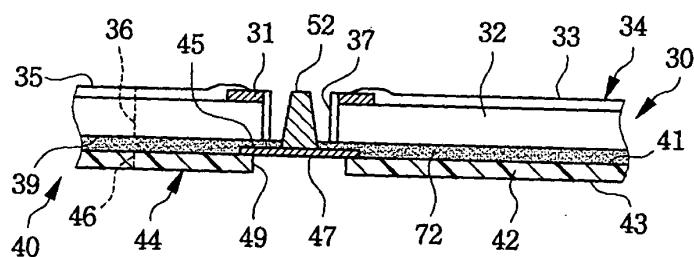
【도 12e】



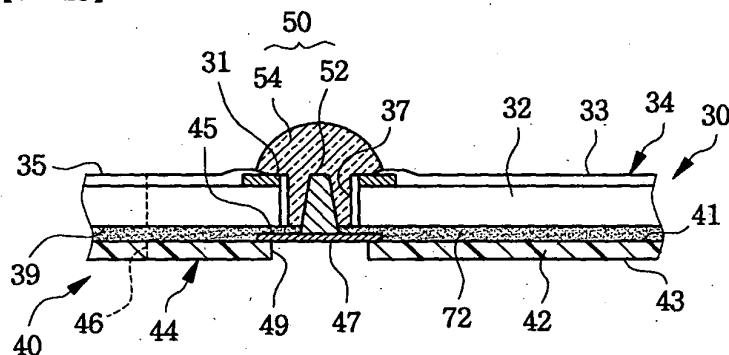
【도 13】



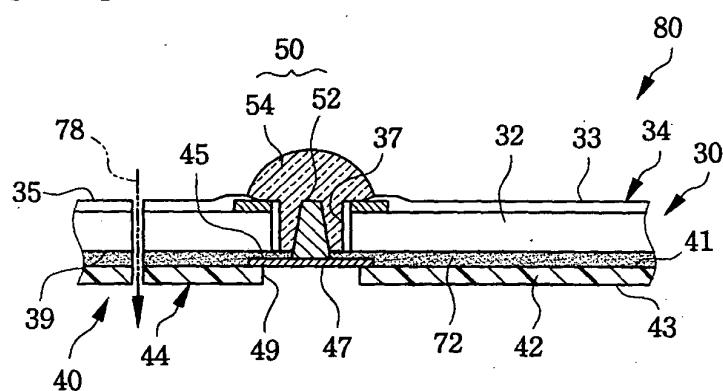
【도 14】



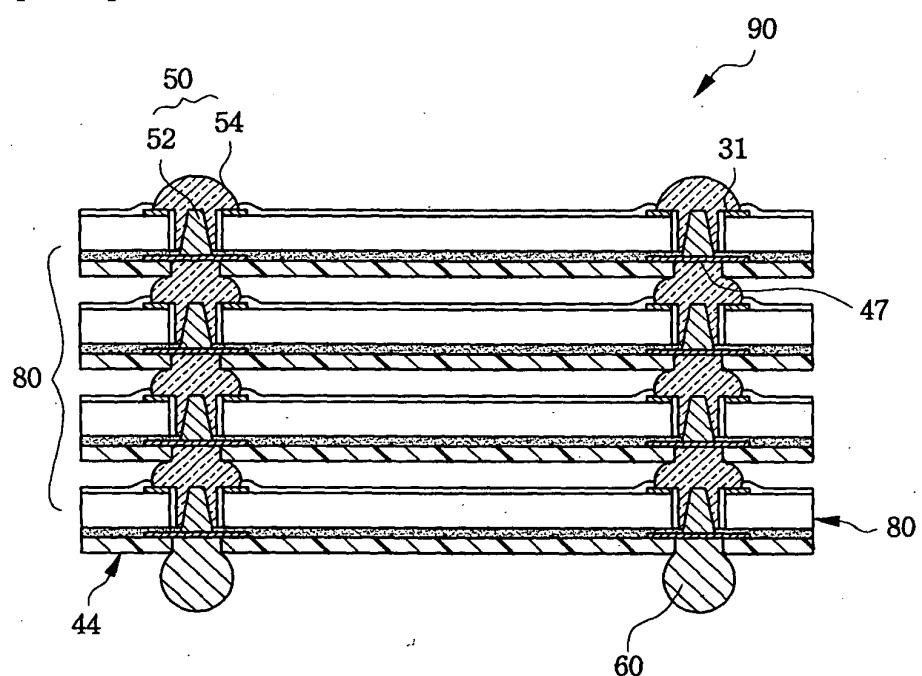
【도 15】



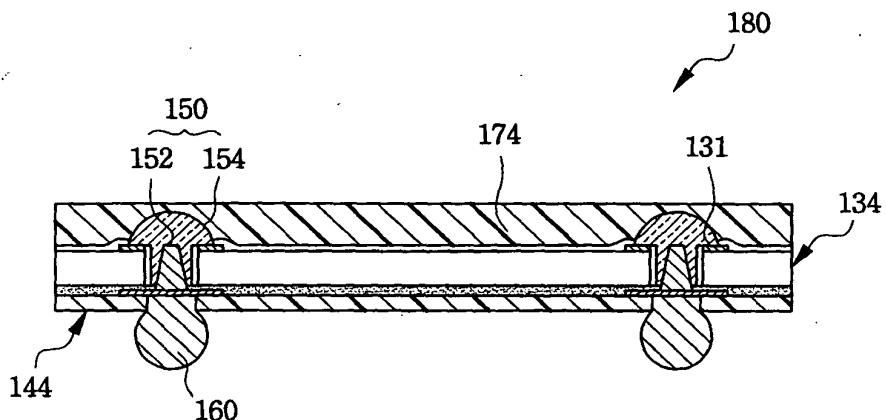
【도 16】



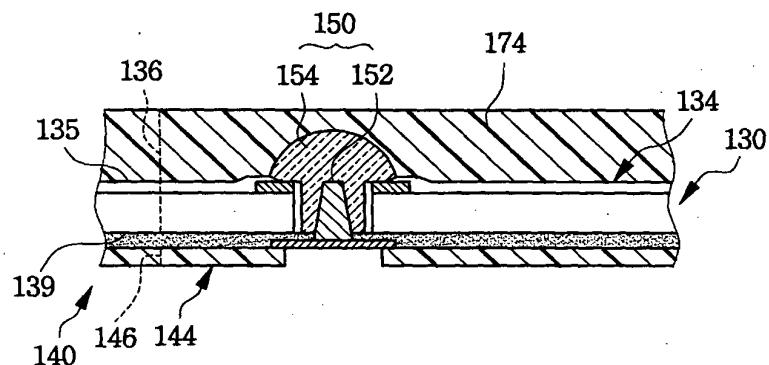
【도 17】



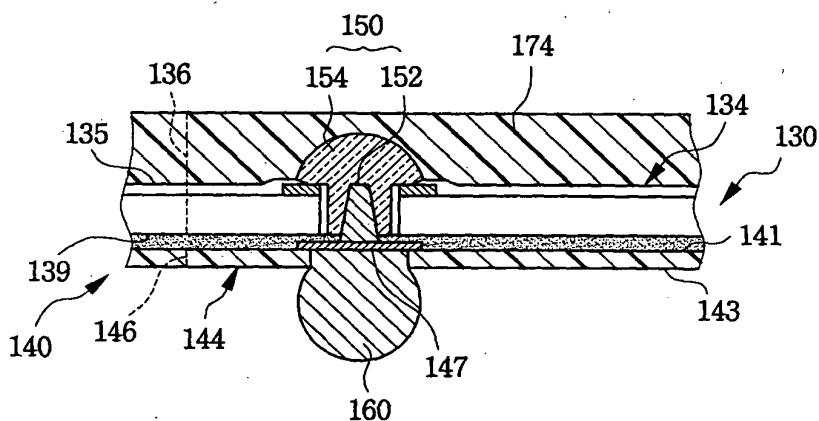
【도 18】



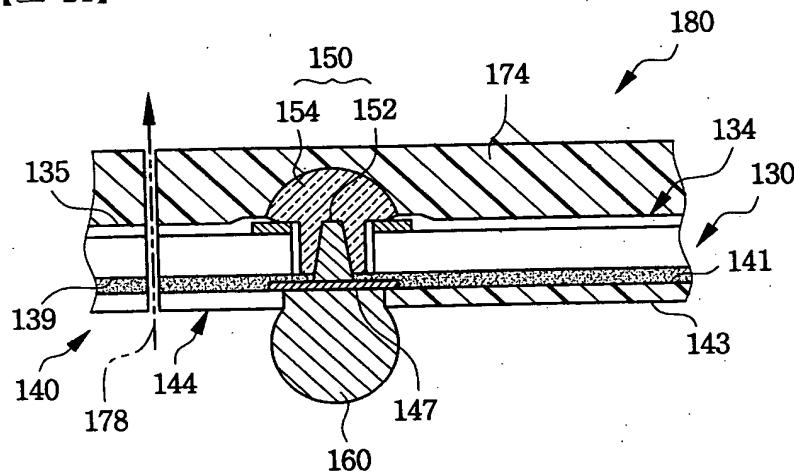
【도 19】



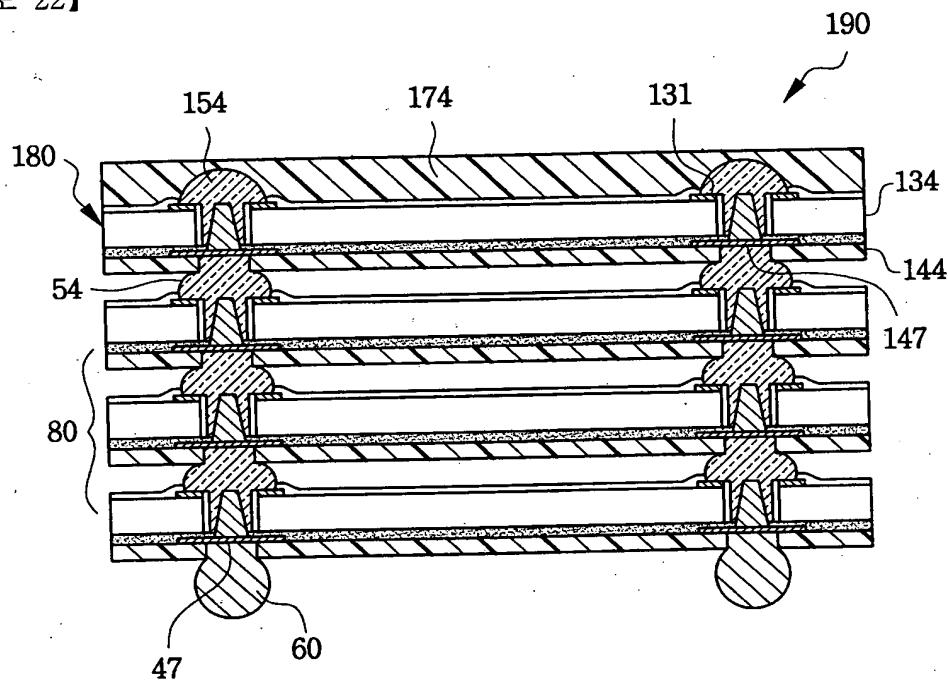
【도 20】



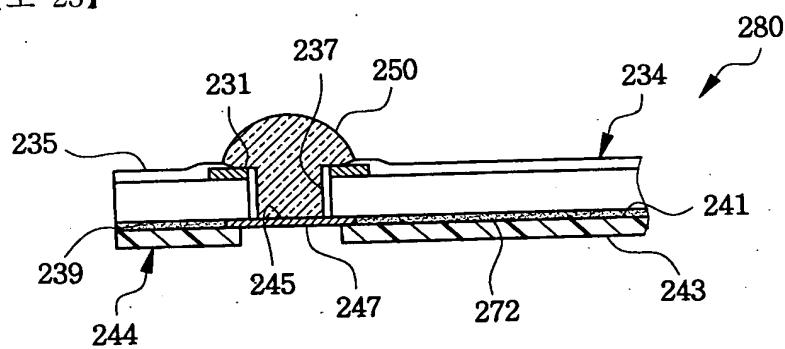
【도 21】



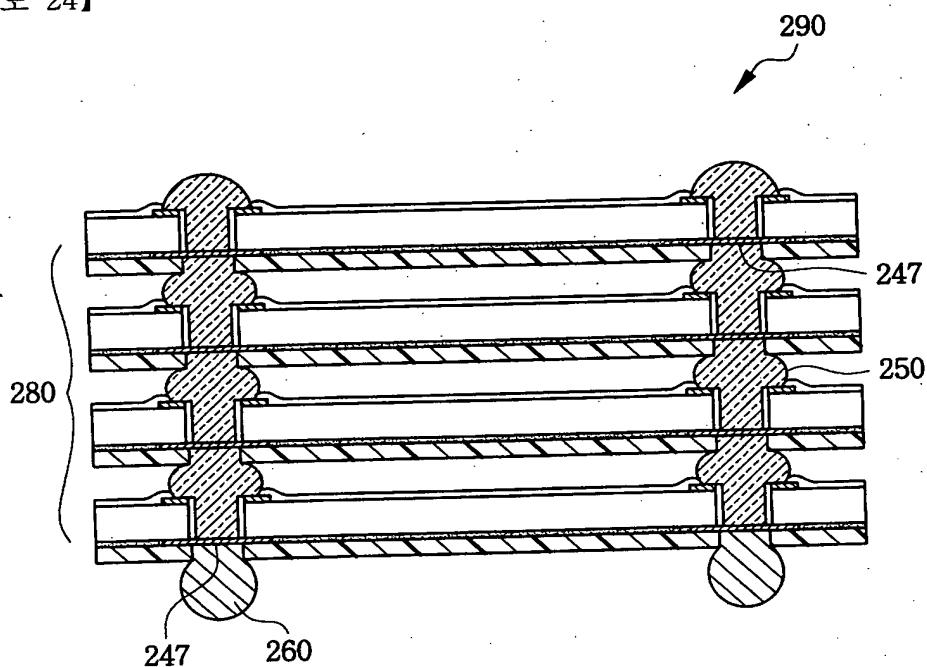
【도 22】



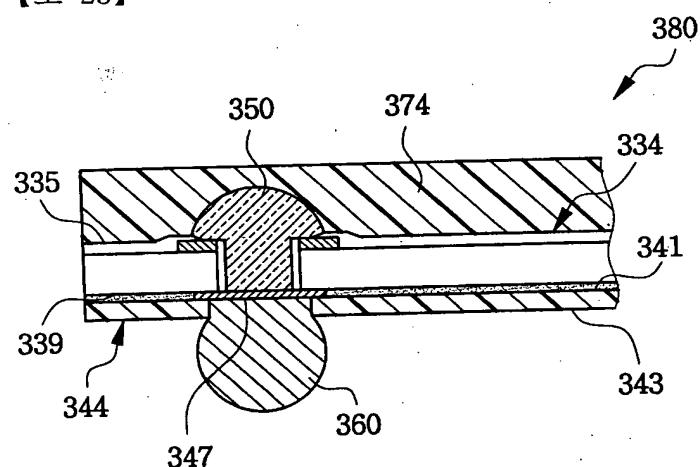
【도 23】



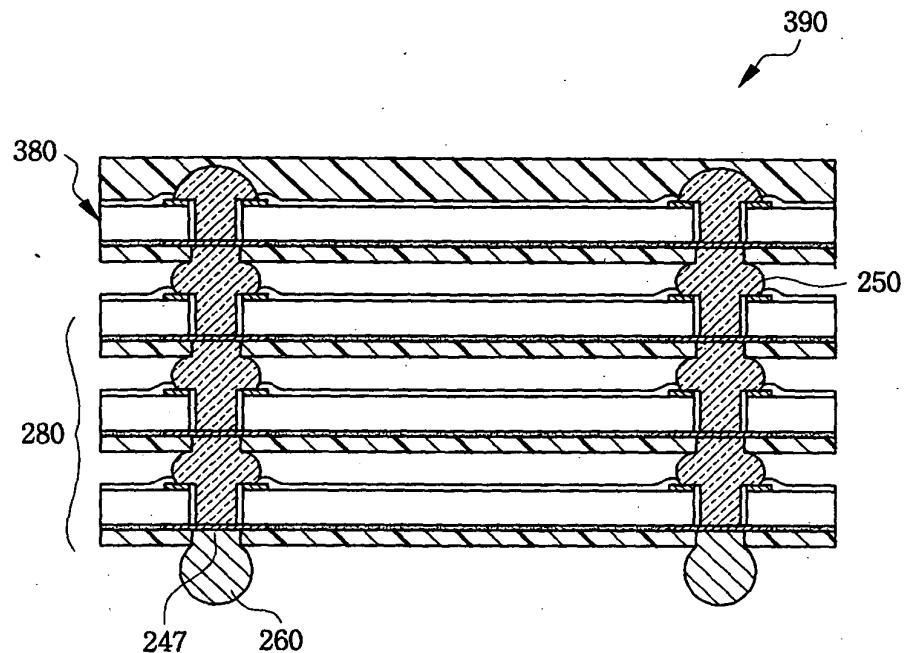
【도 24】



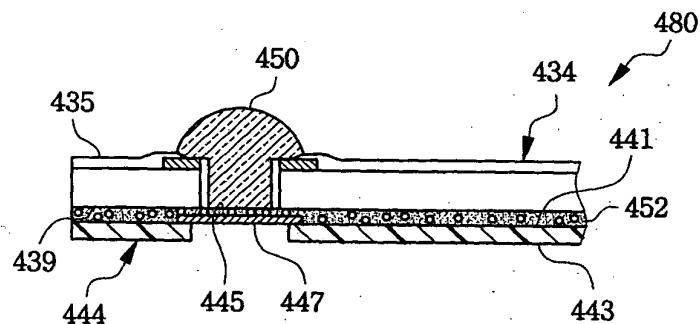
【도 25】



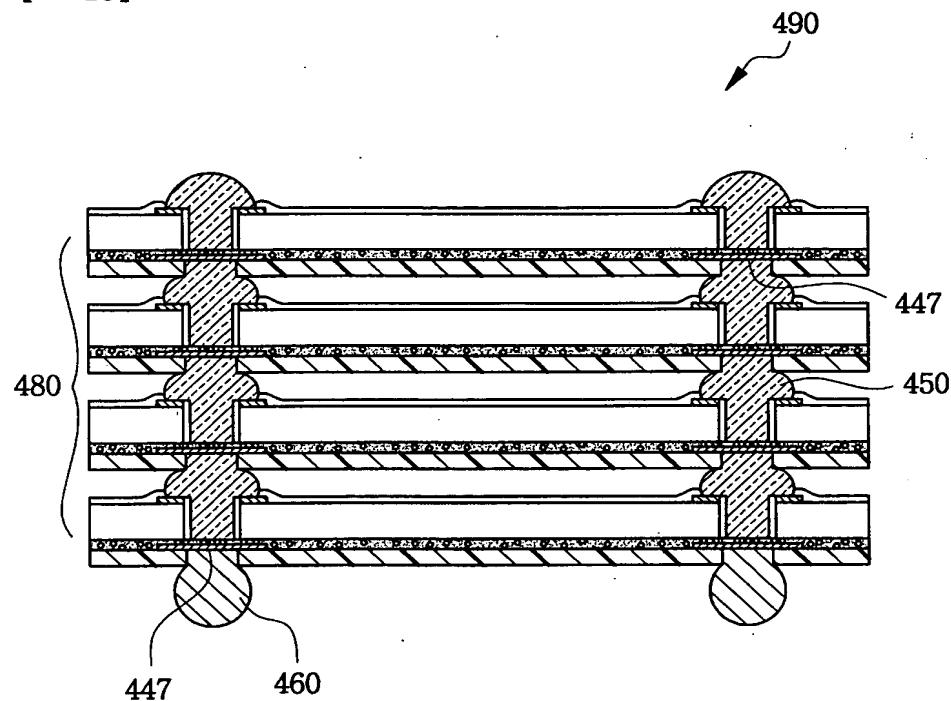
【도 26】



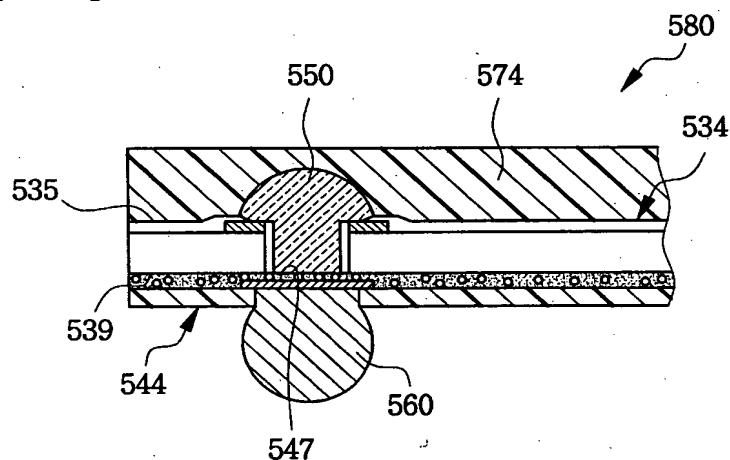
【도 27】



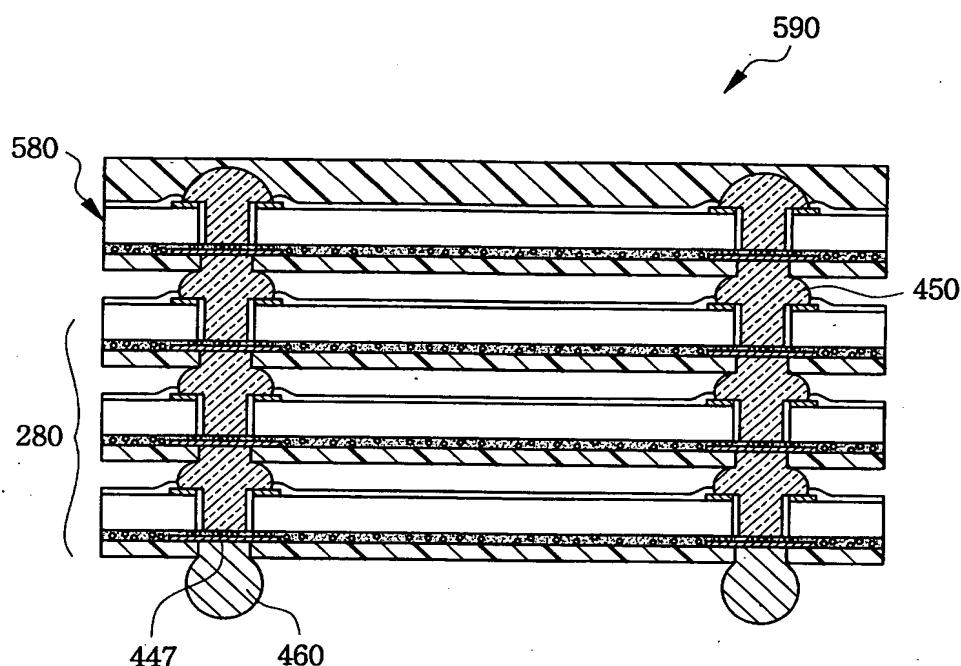
【도 28】



【도 29】



【도 30】



【도 31】

